



Document No.: 61282-069

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
Yoshiyuki TANAKA	:	Confirmation Number: 7647
Serial No.: 10/809,459	:	Group Art Unit: 2811
Filed: March 26, 2004	:	Examiner: Not yet assigned

For: SEMICONDUCTOR DEVICE, SYSTEM DEVICE USING IT, AND
MANUFACTURING METHOD OF A SEMICONDUCTOR DEVICE

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop Missing Parts
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

At the time the above application was filed, priority was claimed based on the
following application:

Japanese Patent Application No. 2003-089279, filed March 27, 2003.

A copy of each priority application listed above is enclosed.

Respectfully submitted,

MCDERMOTT WILL & EMERY LLP


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
202.756.8000 MEF:etp
Facsimile: 202.756.8087
Date: August 5, 2004

日本国特許庁

JAPAN PATENT OFFICE

TANAKA

McDermott Will & Emery LLP

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月27日
Date of Application:

出願番号 特願2003-089279
Application Number:
[ST. 10/C]: [JP2003-089279]

出願人 松下電器産業株式会社
Applicant(s):

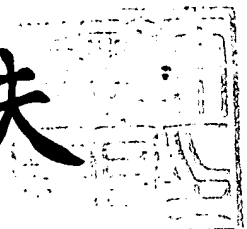
BEST AVAILABLE COPY

CERTIFIED COPY OF
PRIORITY DOCUMENT

2004年 2月26日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3013926

【書類名】 特許願

【整理番号】 5038340149

【提出日】 平成15年 3月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/108

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 田中 良幸

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100105647

【弁理士】

【氏名又は名称】 小栗 昌平

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100105474

【弁理士】

【氏名又は名称】 本多 弘徳

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100108589

【弁理士】

【氏名又は名称】 市川 利光

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100115107

【弁理士】

【氏名又は名称】 高松 猛

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100090343

【弁理士】

【氏名又は名称】 栗宇 百合子

【電話番号】 03-5561-3990

【手数料の表示】

【予納台帳番号】 092740

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0002926

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、これを用いたシステムデバイスおよびその製造方法

【特許請求の範囲】

【請求項 1】 所定の回路機能を持つ第 1 の回路を具備し、前記第 1 の回路は、常時使用しない特定の機能を第 1 の回路に付与するように前記第 1 の回路に外部接続可能に形成された第 2 の回路によって前記特定の機能を実現できるようにしたことを特徴とする半導体装置。

【請求項 2】 前記第 2 の回路は、前記第 1 の回路の持つ特定の機能を実現するための補助機能を備え、

前記補助機能は、前記第 1 の回路からの指令によってのみ機能するものであることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記第 1 の回路は、前記特定の機能動作以外の時は前記第 1 の回路単独で使用されることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】 前記第 2 の回路は、前記第 2 の回路単独で動作可能に構成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】 前記第 2 の回路は、前記特定の機能動作時以外の時は使用できないことを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】 前記第 1 の回路は、前記第 2 の回路を活性化する制御開始信号を出力する機能と、前記第 2 の回路で生成された前記特定の機能を与える信号を入力する機能とを備えたことを特徴とする請求項 1 乃至 5 のいずれかに記載の半導体装置。

【請求項 7】 前記第 1 の装置は、前記第 2 の装置の電氣的接続を検知したときのみ前記特定の機能動作を許可し、

前記第 2 の装置の電氣的接続を検知しないときは、前記特定の機能動作を許可せず、前記第 1 の所定の回路機能のみを許可する機能を備えたことを特徴とする請求項 1 乃至 6 のいずれかに記載の半導体装置。

【請求項 8】 前記第 1 の回路は、メモリ回路であり、前記第 2 の回路の前記特定の機能は前記メモリ回路へのデータの書き込み機能であることを特徴とする請

求項 1 乃至 7 のいずれかに記載の半導体装置。

【請求項 9】前記第 1 の回路は、メモリの読み出し回路を含み、前記特定の機能は前記メモリの書き換えを行う回路であることを特徴とする請求項 1 乃至 8 のいずれかに記載の半導体装置。

【請求項 10】前記第 1 の回路は、前記第 1 の装置内の所定の論理ブロックを構成する冗長配線を備えた冗長回路を含み、外部からの冗長設定によって、回路機能が特定されるように構成されており、

前記特定の機能は、前記冗長回路の設定を行う回路であることを特徴とする請求項 1 乃至 5 のいずれかに記載の半導体装置。

【請求項 11】前記第 1 の回路は、プログラマブルゲートアレイ F P G A (Field Programable Gate Array) を含むことを特徴とする請求項 10 に記載の半導体装置。

【請求項 12】前記第 1 の回路は、電気ヒューズの接続または切断により、回路機能が特定されるように構成されており、

前記特定の機能は、前記電気ヒューズの接続または切断を行う回路であることを特徴とする請求項 1 乃至 5 のいずれかに記載の半導体装置。

【請求項 13】前記所定の機能は、前記第 1 の装置内でメモリの読み出しを行う回路を含み、前記特定の機能は、前記メモリの情報が外部に出力されるのを制御する機能であることを特徴とする請求項 1 乃至 12 のいずれかに記載の半導体装置。

【請求項 14】前記特定の機能は、前記第 1 の回路の検査回路を含むことを特徴とする請求項 1 乃至 13 のいずれかに記載の半導体装置。

【請求項 15】所定の回路機能を与える第 1 の回路を有する第 1 の装置と、前記第 1 の装置の前記第 1 の回路に電気的に接続された第 2 の回路をもつ第 2 の装置とを具備し、

前記第 1 の回路は、前記第 1 の回路では常時使用しない特定の機能を第 1 の回路に付与する第 2 の回路によって前記特定の機能を実現できるように構成されていることを特徴とするシステムデバイス。

【請求項 16】前記第 1 の回路は、前記第 2 の回路を活性化する制御開始信号

を出力する機能と、前記第 2 の回路で生成された前記特定の機能を与える信号を入力する機能とを備えたことを特徴とする請求項 15 に記載のシステムデバイス。

【請求項 17】前記第 2 の回路は、前記第 1 の回路で生成された制御開始信号を入力する機能と、前記第 1 の回路に対し前記特定の機能を与える信号を出力する機能とを備え、

前記第 1 の装置の制御開始信号により、前記第 2 の装置の前記特定の機能を活性化し前記第 1 の装置に対し特定の機能を与えるようにしたことを特徴とする請求項 15 または 16 に記載のシステムデバイス。

【請求項 18】前記第 1 および第 2 の装置は、いずれも前記特定の機能を与えるための制御信号をシリアルに授受する授受回路と、前記特定の機能を与えるための制御信号を格納するレジスタとを備え、

前記第 1 の装置、前記第 2 の装置間の信号をシリアルに送受信し、前記第 1 の装置に特定の機能を与えるようにしたことを特徴とする請求項 15 乃至 17 のいずれかに記載のシステムデバイス。

【請求項 19】前記第 1 の装置は、前記第 2 の装置の電氣的接続を検知したときのみ前記特定の機能の動作を許可し、

前記第 2 の装置の電氣的接続を検知しないときは、前記特定の機能の動作を許可せず、前記第 1 の所定の回路機能のみを許可する機能を備えたことを特徴とする請求項 15 乃至 18 のいずれかに記載のシステムデバイス。

【請求項 20】前記第 1 の装置は、パッケージの 1 主面に外部回路との接続用の第 1 の接続端子を具備するとともに、前記第 2 の装置を、前記 1 主面に対向するもう一方の主面に形成された第 2 の接続端子を介して接続可能に形成されたことを特徴とする請求項 15 乃至 19 のいずれかに記載のシステムデバイス。

【請求項 21】前記第 1 の装置は、パッケージの側面に導出された外部回路との接続用の第 1 の接続端子を具備するとともに、前記第 2 の装置を、1 主面に形成された第 2 の接続端子を介して接続可能に形成されたことを特徴とする請求項 15 乃至 19 のいずれかに記載のシステムデバイス。

【請求項 22】半導体基板上に集積される回路を

第 1 の回路と、前記第 1 の回路に外部接続可能なように構成され、常時使用しない特定の機能を第 1 の回路に付与するように構成され、前記特定の機能を実現できるようにした第 2 の回路とに、機能分離すると共に両者を電氣的に接続可能に設計する設計工程と、

前記第 1 の回路を第 1 の装置上に形成する工程と、

前記第 2 の回路を第 2 の装置上に形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 2 3】前記第 1 の装置は、単一の半導体基板であり、前記第 2 の装置は複数の半導体基板を備えたシステムデバイスであることを特徴とする請求項 2 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体装置、これを用いたシステムデバイスおよび半導体装置の製造方法に関するものである。

【 0 0 0 2 】

【従来の技術】

電子機器の著しい高機能化に伴い、半導体装置の微細化による高速化、軽量小型化への要求が高まっている。これらの要求に応えて、近年 U L S I （超大規模集積回路）での微細化、高集積化が進められている。

【 0 0 0 3 】

このような中で、システムインパッケージ（SIP）とよばれる技術が提案されている。例えば、フラッシュメモリを搭載したマイクロコンピュータなどにおいては、メモリの書き換えが可能であるが、このような書き換え機能自体は、常時使用するものではなく、書き換えを必要とするときにのみ必要な機能である。しかしながら、通常はこのような書き換え機能についても同一基板上に集積化されている（特許文献 1、2、3、4 参照）。

【 0 0 0 4 】

【特許文献 1】

特許第 2 7 9 0 4 6 1 号公報

【特許文献 2】

特許第 2 9 7 7 5 7 6 号公報

【特許文献 3】

特許第 2 9 5 4 2 7 8 号公報

【特許文献 4】

特許第 3 3 5 8 7 1 0 号公報

【0 0 0 5】

【発明が解決しようとする課題】

しかしながら、さらなる高機能化、高集積化が進むにつれて、マイクロコンピュータを構成する半導体チップ（マイコンチップ）の小型化は困難であるという問題があった。

また、常時使用しない特定の機能を含んでいるために、使用電力も高くなるという問題があった。

本発明は前記実情に鑑みてなされたもので、半導体装置の小型化、省電力化をはかることを目的とする。

【0 0 0 6】

【課題を解決するための手段】

そこで本発明の半導体装置は、所定の回路機能を持つ第 1 の回路を具備し、前記第 1 の回路は、常時使用しない特定の機能を第 1 の回路に付与するように前記第 1 の回路に外部接続可能なように構成された第 2 の回路によって前記特定の機能を実現できるように構成されていることを特徴とする。

かかる構成によれば、常時使用しない特定の機能は、外部接続可能に形成されており、この半導体装置を構成する半導体チップの小型化を図ることができる上、省電力化が可能となる。

【0 0 0 7】

望ましくは、前記第 2 の回路は、前記第 1 の回路の持つ特定の機能を実現するための補助機能を備え、前記補助機能は、前記第 1 の回路からの指令によってのみ機能するものである。

かかる構成によれば、第 1 の回路からの指令によってのみ特定の機能が機能するため、第 2 の回路単体では機能せず、セキュリティ効果も高められる。

【 0 0 0 8 】

また望ましくは、前記第 1 の回路は、前記特定の機能動作以外の時は前記第 1 の回路単独で使用される。

かかる構成によれば、第 1 の回路は小型軽量化および省電力化が可能となる。

また、望ましくは、前記第 2 の回路は、前記第 2 の回路単独で動作可能に構成される。

望ましくは、前記第 2 の回路は、前記特定の機能動作時以外の時は使用できないようにしたことを特徴とする。

これにより、保護効果を高めることができる。

【 0 0 0 9 】

望ましくは、前記第 1 の回路は、前記第 2 の回路を活性化する制御開始信号を出力する機能と、前記第 2 の回路で生成された前記特定の機能を与える信号を入力する機能とを備えたことを特徴とする。

かかる構成によれば、第 1 の装置から特定の機能開始を制御することができるため、使用者は見かけ上第 2 の装置を意識せずに操作することができ、操作が極めて容易である。

【 0 0 1 0 】

また、望ましくは、前記第 1 の装置は、前記第 2 の装置の電氣的接続を検知したときのみ前記特定の機能動作を許可し、前記第 2 の装置の電氣的接続を検知しないときは、前記特定の機能動作を許可せず、前記第 1 の所定の回路機能のみを許可する機能を備えたことを特徴とする。

かかる構成によれば、第 2 の装置との電氣的接続によって初めて第 1 の回路が特定の機能動作を許可するように構成されているため、操作が簡単でかつセキュリティ機能も発揮し得る。

【 0 0 1 1 】

望ましくは、前記第 1 の回路は、メモリ回路であり、前記第 2 の回路の前記特定の機能は前記メモリ回路へのデータの書き込み機能であることを特徴とする。

かかる構成によれば、メモリへの書き込み時にのみ第2の回路に接続すればよい
ため、装置の小型化および省電力化をはかることができる。

【0012】

また、前記第1の回路は、メモリの読み出し回路を含み、前記特定の機能は前
記メモリの書き換えを行う回路であることを特徴とする。

かかる構成によれば、書き換え回路は通常不要であり、メモリへの書き換え時
にのみ第2の回路に接続すればよいため、装置の小型化および省電力化をはかる
ことができる。

【0013】

また、望ましくは、前記第1の回路は、前記第1の装置内の所定の論理プロッ
クを構成する冗長配線を備えた冗長回路を含み、外部からの冗長設定によって、
回路機能が特定されるように構成されており、前記特定の機能は、前記冗長回路
の設定を行う回路である。

かかる構成によれば、通常使用時には不要な、冗長回路の設定機能が、使用時
にのみ接続して使用可能であるため、装置の小型化および省電力化をはかるこ
とができる。

【0014】

望ましくは、前記第1の回路は、プログラマブルゲートアレイFPGA (Fiel
d Programable Gate Array) を含む。

また、前記第1の回路は、電気ヒューズの接続または切断により、回路機能が
特定されるように構成されており、前記特定の機能は、前記電気ヒューズの接続
または切断を行う回路である。

かかる構成によれば、通常使用時には不要な、電気ヒューズの接続または切断
を行う回路が、使用時にのみ接続して使用可能であるため、装置の小型化および
該書き込み保護をはかることができる。

【0015】

また、望ましくは、前記所定の機能は、前記第1の装置内でメモリの読み出し
を行う回路を含み、前記特定の機能は、前記メモリの情報が外部に出力されるの
を制御する機能である。

かかる構成によれば、通常時には使用されず、保護機能を必要とするときのみ、この特定の機能を動作させることにより、制御機能を発揮しつつも装置の小型化をはかることができる。

【0016】

望ましくは、前記特定の機能は、前記第1の回路の検査回路を含む。

検査機能を内蔵させる必要があるデバイスについては、小型化を阻む原因となっていたが、本発明によれば、大型化を招くことなく検査機能を奏功させることができる。

【0017】

また、本発明のシステムデバイスは、所定の回路機能を与える第1の回路を有する第1の装置と、前記第1の装置の前記第1の回路に電気的に接続された第2の回路をもつ第2の装置とを具備し、前記第1の回路は、前記第1の回路では常時使用しない特定の機能を第1の回路に付与する第2の回路によって前記特定の機能を実現できるように構成されていることを特徴とする。

かかる構成によれば、装置の大型化を招くことなく、機能性を高めることができる。

【0018】

望ましくは、前記第1の回路は、前記第2の回路を活性化する制御開始信号を出力する機能と、前記第2の回路で生成された前記特定の機能を与える信号を入力する機能とを備えている。

かかる構成によれば、第1の回路からの信号により第2の回路を活性化し、第2の回路から第1の回路に対して特定の機能を実現しているため、見かけ上使用者は第2の回路を意識することなく、かつ制御性よく操作することができ、特定の機能を実現させることが可能となる。

【0019】

また、前記第2の回路は、前記第1の回路で生成された制御開始信号を入力する機能と、前記第1の回路に対し前記特定の機能を与える信号を出力する機能とを備え、前記第1の装置の制御開始信号により、前記第2の装置の前記特定の機能を活性化し前記第1の装置に対し特定の機能を与えるようにしたことを特徴と

する。

かかる構成によれば、制御性よく機能を発揮し得るものとなる。

【0020】

望ましくは、前記第1および第2の装置は、いずれも前記特定の機能を与えるための制御信号をシリアルに授受する授受回路と、前記特定の機能を与えるための制御信号を格納するレジスタとを備え、前記第1の装置、前記第2の装置間の信号をシリアルに送受信し、前記第1の装置に特定の機能を与えるようにしている。

かかる構成によれば、読み出し順序と書き込み順序が1対1対応するように配列され、制御信号をシリアルに送受信することができ、極めてシンプルな構成で情報をそのまま授受することができるため、操作性の高いものとなる。

【0021】

望ましくは、前記第1の装置は、前記第2の装置の電氣的接続を検知したときのみ前記特定の機能の動作を許可し、前記第2の装置の電氣的接続を検知しないときは、前記特定の機能の動作を許可せず、前記第1の所定の回路機能のみを許可する機能を備えたことを特徴とする。

かかる構成によれば、制御性の高いシステムデバイスを得ることができる。

【0022】

また、本発明の設計方法は、半導体基板上に集積される回路を、第1の回路と、前記第1の回路に外部接続可能なように構成され、常時使用しない特定の機能を第1の回路に付与するように構成され、前記特定の機能を実現できるようにした第2の回路とに、機能分離すると共に両者を電氣的に接続可能に設計する設計工程と、前記第1の回路を第1の装置上に形成する工程と、前記第2の回路を第2の装置上に形成する工程とを含むことを特徴とする。

かかる方法によれば、機能性を低下させることなく、第1の回路の小型化をはかることができる。

【0023】

望ましくは、前記第1の装置は、単一の半導体基板であり、前記第2の装置は複数の半導体基板を備えたシステムデバイスである。

かかる構成によれば、第1の装置をより小型化することができる。

【0024】

本発明のシステムデバイスでは、前記第1の装置は、パッケージの1主面に外部回路との接続用の第1の接続端子を具備するとともに、前記第2の装置を、前記1主面に対向するもう一方の主面に形成された第2の接続端子を介して接続可能に形成されたことを特徴とする。

かかる構成によれば着脱が極めて容易である。

望ましくは、前記第1の装置は、パッケージの側面に導出された外部回路との接続用の第1の接続端子を具備するとともに、前記第2の装置を、1主面に形成された第2の接続端子を介して接続可能に形成されたことを特徴とする。

【0025】

【発明の実施の形態】

次に、本発明の実施の形態について図面を参照しつつ詳細に説明する。

（実施の形態1）

このシステムデバイスは、図1に示すように、回路機能を、常時使用する機能ブロック101を有する第1の半導体装置100と、この半導体装置100の第1の回路に接続される常時使用しない特定機能ブロック111を有する第2の装置110とに、2分割して構成したものである。

そして第1の半導体装置100の制御バス端子103と第2の半導体装置110の制御バス端子112との間は接続線120で接続されており、この第2の装置のもつ特定機能を必要とするときのみ両者が接続されるようになっている。

【0026】

ここで第1の半導体装置100は常時使用する機能ブロック101に対し制御端子102を介して信号の入出力がなされるようになっている。

このシステムデバイスによれば、通常使用する際に必要な機能のみを備え、第1の装置には特定機能は具備しない構造となっているため、第1の装置を大幅に小型化することができる。そして常時使用しない特定の機能は、外部接続可能に形成されており、この半導体装置を構成する半導体チップの機能を低下させることなく、小型化を図ることができ、また省電力化が可能となる。

【0027】**(実施の形態2)**

このシステムデバイスは、前記実施の形態1の構成に加え、図2に示すように、第2の装置110は、第1の回路の持つ特定の機能を実現するための補助機能を備え、前記補助機能は、前記第1の回路からの指令によってのみ機能するようにしたものである。

すなわち、第1の装置100は、常時使用しない特定の機能ブロック111を活性化する制御開始信号を出力する制御開始信号発生回路104と、この回路で生成された制御開始信号を制御開始信号線121を介して第2の装置に出力するとともに、第2の装置110で生成された特定機能ブロック111からの信号を前記実施の形態1と同様に第1の装置に供給するようにしたことを特徴とする。

【0028】

かかる構成によれば、第1の装置100から特定の機能の開始を制御することができ、そのため、使用者は見かけ上第2の装置を意識せずに操作することができ、操作が極めて容易となる。

【0029】**(実施の形態3)**

前記実施の形態2では、第1および第2の装置間の信号の授受を通常の接続線で行ったが、この例では、図3に示すように、シリアルインターフェース106、116からシリアル制御信号線122を介して行うようにしている。

これらのシリアルインターフェース106、116はそれぞれ1対1対応した制御信号レジスタ群105および115を具備しており、逐次供給および格納されるようになっている。

【0030】

かかる構成によれば、極めて制御性よく信号の授受を行うことができ、同一の装置内に機能をもつと同様の機能を発揮させつつも小型化、省電力化をはかることが可能となる。

【0031】**(実施の形態4)**

前記実施の形態 2 では、第 1 および第 2 の装置間の信号の授受を通常の接続線で行ったが、図 4 に示すように第 1 の装置 100 は、第 2 の装置 110 の電氣的接続の有無を検地する第 2 装置検知回路 107 によって第 2 の装置の接続の有無を検知し、電氣的接続がなされていると判断されたときにのみ、特定の機能動作を許可し、前記第 2 の装置の電氣的接続を検知しないときは、前記特定の機能動作を許可せず、前記第 1 の所定の回路機能のみを許可する機能を備えたことを特徴とする。他の構成については実施の形態 2 と同様である。

【0032】

ここでは第 2 の装置 110 は、第 2 の装置の識別情報をもつ識別信号発生回路 113 を備え、第 2 装置識別信号線 123 を介して第 1 の装置 100 の第 2 の装置検知回路 107 で、この第 2 の装置 110 の電氣的接続の有無が確認できるようになっている。

【0033】

かかる構成によれば、第 2 の装置との電氣的接続によって初めて第 1 の回路が特定の機能動作を許可するように構成することができ、操作が簡単でかつセキュリティ機能も発揮し得る。

【0034】

(実施の形態 5)

前記実施の形態 1 乃至 4 では、第 1 の装置と第 2 の装置との機能について説明したが、本実施の形態では、実装構造について説明する。

この例では図 5 に示すように、第 1 の装置を構成する第 1 の半導体チップを搭載した第 1 のパッケージ 302 と第 2 の装置を構成する第 2 の半導体チップを搭載した第 2 のパッケージ 300 とを重ね、両者をボールグリッドアレイ (BGA) 端子 301 を介して接続し、システムデバイスを構成したことを特徴とする。

【0035】

すなわち、第 1 のパッケージ 302 の第 1 の主面に、外部回路との接続用の第 1 の接続端子を構成する BGA 端子 304 を形成するとともに、この第 1 の主面に対向する第 2 の主面に制御バス端子 303 を形成している。そして、第 2 のパッケージ 300 は、制御バス端子 301 を構成するボールグリッドアレイ (BGA)

端子を、第 1 のパッケージ 3 0 2 の制御バス端子 3 0 3 に符合するように形成して構成される。

かかる構成によれば、重ねるだけで接続が可能であり、装着が容易で、かつ信頼性の高い接続が可能となる。

また、第 1 のパッケージ単体で使用する際には第 2 の主面の制御バス端子 3 0 3 を被覆するように絶縁性カバーを形成しておけばよく、一方、第 2 のパッケージと接続して用いられる場合には、第 1 のパッケージ上に載置し、圧着接合や半田接合などにより簡単に BGA 端子 3 0 4 を介して容易に電氣的接続が達成される。

【 0 0 3 6 】

(実施の形態 6)

前記実施の形態 5 では、第 1 の半導体パッケージ 3 0 2 の第 1 の主面に BGA 端子を形成しこれを制御バス端子 3 0 3 としたが、この例では、図 7 に示すように、第 2 のパッケージの側面にリード端子 3 0 5 を導出した点で前記実施の形態 6 と異なる。他の構成については同様に形成されている。

【 0 0 3 7 】

かかる構成によれば、実施の形態 5 と同様容易に第 2 の装置と第 1 の装置との接続が可能となり、接続が確実かつ簡単な半導体装置の形成が可能となる。

【 0 0 3 8 】

(実施の形態 7)

この例では、前記実施の形態 6 で説明したシステムデバイスを、半田接合などの固定接合に代えて着脱自在に実装できるソケットを提供するものである。

【 0 0 3 9 】

すなわち、図 7 に示すように、着脱自在の蓋体を有する接続ソケット 3 1 0 を具備したことを特徴とする。この接続ソケットは、接続ソケット 3 1 0 本体の 1 主面に形成された凹部に、第 1 のパッケージ 3 0 2 を搭載するとともにリード端子を接続し、この上層に第 2 のパッケージを重ね、前記ソケットの蓋体を装着することにより、この蓋体の圧力で第 1 および第 2 の半導体チップの電氣的接続が確実となるものである。

かかる構成によれば、接続が容易であり、また着脱が自在であるため、信頼性の高い半導体装置を提供することができる。

なお第 1 および第 2 のパッケージの接触を確実にするために、必要に応じて係止治具を装着してもよい。

【 0 0 4 0 】

(実施の形態 8)

この例は、前記実施の形態 7 で説明したソケットの変形例を示すものである。ここでは、図 8 に示すように、ソケットを、第 1 および第 2 基板 3 3 0、3 2 0 と蓋体との 3 段構造にし、第 1 および第 2 基板 3 3 0、3 2 0 に形成された凹部に第 1 のパッケージ 3 0 0 および第 2 のパッケージ 3 0 2 を搭載し、周辺の枠部に制御バス端子 3 3 2、3 3 3 を具備し、これらを重ねて面接触させることにより自重で加圧されたのと同じ状態で電氣的接続が達成されるように構成されている。

【 0 0 4 1 】

ここでは各装置は、パッケージの側面から導出されたリード 3 2 1、および 3 3 1 で第 1 基板および第 2 基板のそれぞれ電氣的接続が可能のように構成されている。

特定機能を駆動させた状態は 3 段構造のパッケージがすべて閉じた状態であるが、説明のために蓋体を開けて第 1 の装置が見える状態を図 8 (a) に第 2 の装置が見える状態を図 8 (b) に示す。

このように、容易に着脱が可能となり信頼性の高い半導体装置を提供することが可能となる。

【 0 0 4 2 】

(実施の形態 9)

この例は、図 9 に示すように、第 1 の装置としての半導体ウェハ 3 4 5 に、バーンインストレストテストを行うための検査機能を特定の機能として、第 2 の装置に分離して形成したものである。

この検査機能は、製造プロセスの出来を判断するために実装に先立ち行うプロービング検査機能である。プロービング検査の場合、一般的には入出力回路セル

の出力電流測定やリーク電流測定など、トランジスタの出来映えを検査するDC検査と、スキャンテストと呼ばれる内部論理回路のトグル率を100%に近づけた上で上述のような電流測定が行われる。この場合、プローブカード343に形成されたプローブ電極を半導体ウェハ345に接触させ、第2の回路300に内蔵されたバーンインストレスを接続線342を介して半導体ウェハに与えるとともに、半導体ウェハの出力を同様に接続線342を介して検査装置340に取り出すように構成されている。

【0043】

このようにしてソケット341を介して汎用検査装置340に接続したプローブカード343を介して、プロービング検査装置から供給される電源電圧を電源供給セルに取込み、自己テストを行うという手法をとっている。

【0044】

このように検査装置は半導体装置に不可欠のものではあるが、常時使用する必要はない。特に自己診断のためのストレス形成回路などについても、製造後のテスト以外には不要である。従ってこれらを外部回路で構成することにより大幅な小型化および省電力化をはかることが可能となる。

【0045】

(実施の形態10)

前記実施の形態9では、半導体ウェハの製造直後の検査に用いられる検査装置について説明したが、この例では、図10に示すように、携帯電話等に用いられる第1の装置を内蔵した第1のパッケージ354にリード端子355を介して接続された携帯電話装置353の機能を、第2の装置を内蔵したパッケージ300によって携帯電話の機能設定を行うようにしたものである。

【0046】

第2の装置を内蔵した第2のパッケージ300およびこれに接続されたソケット341は前記実施の形態9と同様に形成されている。ここではこの第2の装置を内蔵した第2のパッケージ300に第1の装置である携帯電話への機能設定装置350を接続してなり、この機能設定装置350の機能設定操作面351で操作するように構成されている。

このシステムデバイスによっても小型化省電力化が可能となる。

【0047】

(実施の形態 11)

このシステムデバイスは、図 11 に示すように、ひとつの汎用書き換え装置などの機能設定装置 360 に、第 1 の装置として所定の機能を備え、特定機能すなわち書き換え操作の可能な 3 個の半導体装置 363、366、・・・369 を搭載したソケット 362、365、368 を装着し、多数個の半導体装置に対して、並列的に機能設定を行うことができるようにしたものである。

【0048】

各半導体装置 363、366、・・・369 はリード端子 364、367、370 を介してソケット 362、365、368 に接続されており、このソケットを介して、第 2 の装置を内蔵した第 2 のパッケージ 300 の搭載されたソケット 341 の特定機能を用いて、機能設定装置 360 操作面 361 で書き換え操作を行うように構成されている。

このシステムデバイスによれば、複数の半導体装置の書き換え操作を並行して実行することができ、作業性が向上する。

【0049】

【実施例】

次に本発明の実施例について説明する。

(実施例 1)

まず、本発明の半導体装置の設計方法について説明する。

図 12 に示すようなレイアウト構成をもつ不揮発性メモリ搭載マイコン 400 を、図 13 に示すように、第 1 の装置 450 と、前記第 1 の装置 450 に外部接続可能なように構成され、常時使用しない特定の機能を第 1 の装置 450 に付与するように構成され、前記特定の機能を実現できるようにした第 2 の装置 470 とに、機能分離すると共に両者を電氣的に接続可能に設計するようにし、これらを信号線 490 で接続するようにしたものである。

【0050】

この不揮発性メモリ搭載マイコンは、不揮発性メモリセルアレイ 401 と、こ

れに接続されるセンスアンプ回路402と、読み出し系制御回路403と、読み出し系デコーダ404と、書き込み回路405と、書き換えデコーダ406と、書き換え制御回路407と、電源回路408と、RAM412とCPU413と、周辺回路414とで構成されるものである。電源回路408は基準電圧トリミング回路409と、基準電圧発生回路410と、書き換え電圧発生回路411とで構成される。

【0051】

図13に概要図を示すように、この回路のうち常時使用しない回路である書き換え回路471部分を切り出し、これを別の基板上に形成するように分割し、これを第2の装置470とし、残る不揮発性メモリ452と読み出し回路453などを第1の装置450とする。

第1の装置450は、書き換え回路471を除く部分であり、不揮発性メモリ452と読み出し回路453とを備えた読み出しのみ可能な不揮発性メモリ搭載マイコンである。

また、図14に詳細図を示すように、第1の装置450に第1の装置の不揮発性メモリの書き換え装置470を第2の装置として外部接続したことを特徴とする。

第1の装置450は、不揮発性メモリアレイ401、これに接続されるセンスアンプ回路402と、読み出し系制御回路403と、読み出し系デコーダ404と、RAM412とCPU413と、周辺回路414とで構成されるものである。

【0052】

この第1の装置450は制御端子455を介して制御される。

また、第1の回路450の書き換え信号接続端子群457からバス接続線492を介して第2の装置470の書き換え制御接続端子群474に活性化信号が送出される。そして一方書き換え信号接続端子群473から指令信号が書き換えバス信号接続線491を介して第1の装置450の書き換え信号接続端子群457に送出される。

この装置は、常時使用しない書き換え回路471のみを別装置で形成し、書き

換えの必要な場合のみ接続し、第 1 の装置からの指示によってのみ書き換え回路 4 7 1 を動作させるようにしたもので、機能性を低下させることなく、第 1 の装置の小型化をはかることができる。

また、第 1 の装置からの信号により第 2 の装置を活性化し、第 2 の装置から第 1 の装置に対して書き換え電源を供給することにより書き換えという特定の機能を実現しているため、見かけ上使用者は第 2 の装置を意識することなく、かつ制御性よく操作することができ、特定の機能を実現させることが可能となる。

【 0 0 5 3 】

(実施例 2)

前記実施例 1 では書き換え回路を第 2 の装置として分離したが、この例では図 1 5 に示すように、書き換え用の電源回路 4 0 8 のみを第 2 の装置 4 7 0 として分離したことを特徴とするものである。

この例では第 1 の装置の書き換え制御端子 4 6 0 から書き換え制御接続線 4 9 3 を介して、第 2 の装置 4 7 0 の書き換え制御端子 4 7 9 に制御信号が送信され、これによって電源回路 4 0 8 が駆動される。そして第 2 の回路の書き換え電源接続端子 4 7 8 から、書き換え電源接続線 4 9 4 を介して、第 1 の回路の書き換え電源接続端子 4 6 1 に電源電圧が供給されるように構成されている。

他部については、前記実施例 1 と同様に形成されており、同一部位には同一符号を付した。

【 0 0 5 4 】

この装置によっても、第 1 の装置は、1 枚の基板上に電源回路 4 0 8 を集積化していた、従来に比べ大幅な小型化、省電力化を測ることが可能となる。

【 0 0 5 5 】

(実施例 3)

この例では図 1 6 に示すようなレイアウト構成をもつ、所定の論理ブロックを構成する冗長配線を備えた冗長回路を含み、プログラミングの可能なゲートアレイである F P G A 5 0 0 を、図 1 7 に示すように、第 2 の装置 5 6 0 として F P G A 接続・切断回路 5 6 1 を機能分離して形成し、接続・切断時にのみ接続がなされるようにしたことを特徴とするものである。

【0056】

図17に要部概略図、図18に詳細説明図を示す。すなわち図17に示すように、第1の装置540と、前記第1の装置540に外部接続可能なように構成され、常時使用しない特定の機能である、ゲートアレイの接続切断機能を、第2の装置560の接続・切断回路561から第1の装置540に付与するように、機能分離すると共に両者を電氣的に接続可能に設計するようにし、これらを信号線580で接続するようにしたものである。ここで第1の装置の接続・切断制御端子543から第2の装置の接続・切断制御端子に信号を供給し、第2の装置560を活性化し、第2の装置の接続・切断回路561から、第1の装置540のFPGA541に接続・切断制御信号を送り、FPGA541を接続・切断して論理回路を生成する。

【0057】

542は第1の装置の制御端子である。

図18に示すように、第1の装置540と第2の装置560との間は接続・切断制御接続線581、接続・切断信号接続線582とによってバスで接続されている。第1の装置540の接続・切断制御端子545から第2の装置560の切断・制御端子563を経てFPGA接続切断回路561に制御信号が伝達されると、FPGA接続切断回路561は接続・切断信号を生成し接続・切断信号端子564、565から第1の装置の接続・切断信号端子546、547に接続・切断信号が供給される。

【0058】

そして第1の装置ではクロスポイントスイッチ503、507、511、515、519、523、527の切り替えを経てスイッチマトリックス513、517が生成され、論理ブロック501、505、509、521、525、529の組み合わせが決定される。各論理ブロック501、505、509、521、525、529の設定履歴は各論理ブロック設定メモリ502、506、510、522、526、530に記録される。またクロスポイントスイッチ503、507、511、515、519、523、527の切り替え履歴は、クロスポイントスイッチ設定メモリ504、508、512、516、520、524

、528に記録される。さらにスイッチマトリックス513、517の設定履歴はスイッチマトリクス設定メモリ514、518に記録される。

532は周辺回路であり、542はこの第1の装置の制御端子である。

【0059】

このように、本実施例によれば、通常使用時には不要な、冗長回路の設定機能が、使用時にのみ接続して使用可能であるため、装置の小型化および省電力化をはかることができる。

【0060】

(実施例4)

この例では図19に示すようなレイアウト構成をもつ、電気ヒューズの接続・切断回路611を備え電氣的ヒューズによりメモリアレイの回路構成が特定される回路600を、図20に示すように、電氣的ヒューズ接続・切断回路641を分離して第2の装置640と、この第2の装置により電気ヒューズの接続または切断により、回路機能が特定される回路621を備えた第1の装置620とに分離したことを特徴とするものである。

ここで特定の機能は、電気ヒューズの接続または切断を行う機能である。

【0061】

図20に要部概略図、図21に詳細説明図を示す。すなわち図20に示すように、この装置は、第1の装置620と、前記第1の装置620に外部接続可能なように構成され、常時使用しない特定の機能である、電気ヒューズ接続・切断機能を、第2の装置640の接続・切断回路641から第1の装置620に付与するように、機能分離すると共に両者を電氣的に接続可能に設計し、これらを信号線660で接続したものである。ここで第1の装置の接続・切断制御端子623から第2の装置の接続・切断制御端子642に信号を供給し、第2の装置640を活性化し、第2の装置の接続・切断回路641から、第1の装置620の電氣的ヒューズにより回路構成が特定される回路621に接続・切断制御信号を送り、この回路621を接続・切断して論理回路を生成する。

622は第1の装置の制御端子である。

【0062】

図 21 に示すように、第 1 の装置 620 と第 2 の装置 640 との間は接続・切断制御接続線 661、接続・切断信号接続線 662 とによってバスで接続されている。第 1 の装置 620 の接続・切断制御端子 624 から第 2 の装置 640 の切断・制御端子 643 を経て電気ヒューズ接続切断回路 641 に制御信号が伝達されると、電気ヒューズ接続切断回路 641 は接続・切断信号を生成し接続・切断信号端子 644 から第 1 の装置の接続・切断信号端子 625 に接続・切断信号が供給される。

【0063】

ここで第 1 の装置 620 は、メモリアレイ 601、センスアンプ回路 602、読み出し系制御回路、読み出し系デコーダ 604、冗長デコーダ 605、冗長ワード線 606、デコーダ 607、ワード線 608、電気ヒューズ冗長回路 609、周辺回路 610 を具備している。

かかる構成によれば、通常使用時には不要な、電気ヒューズの接続または切断を行う回路が、使用時にのみ接続して使用可能であるため、装置の小型化および省電力化をはかることができる。

【0064】

(実施例 5)

この例では図 22 に示すようなレイアウト構成をもつ、メモリアレイの読み出しを制御するための制御機能を備えた回路 700 を、図 23 に示すように、第 1 の装置外への読み出しを制御する制御回路 741 を分離して第 2 の装置 740 と、この第 2 の装置 740 により許可信号を得られたときのみ、第 1 の装置において読み出し回路機能が特定される回路 721 を備えた第 1 の装置 620 とに分離したことを特徴とするものである。前記所定の機能は、前記第 1 の装置内でメモリの読み出しを行う回路を含み、前記特定の機能は、前記メモリの情報が外部に出力されるのを制御する機能である。

【0065】

ここで特定の機能は、メモリの読み出しを許可する機能である。

図 23 に要部概略図、図 24 に詳細説明図を示す。すなわち図 23 に示すように、常時使用しない特定の機能である、外部読み出し制御機能を、第 2 の装置 7

4 0 の外部読み出し制御回路 7 1 0 から第 1 の装置 7 2 0 に付与するように、機能分離すると共に両者を電氣的に接続可能に設計し、これらを信号線 7 6 0 で接続したものである。ここで第 1 の装置の装置外読み出し制御端子 7 2 6 から第 2 の装置の装置外読み出し制御端子 7 4 2 に信号を供給し、第 2 の装置 7 4 0 を活性化し、第 2 の装置の外部読み出し制御回路 7 1 0 で読み出し許可鍵情報 7 4 3 を照合し、許可可能な場合にのみ第 1 の装置の外部出力回路 7 1 1 を活性化するものである。すなわち、外部読み出し制御回路 7 1 0 から装置外読み出し制御端子 7 4 2 を経て第 1 の装置の装置外読み出し制御端子 7 2 6 に、活性化信号を供給する。そこで第 1 の装置 7 2 0 の外部出力回路 7 1 1 はメモリデータ出力端子 7 1 3 を経てメモリアレイ 7 0 1 に格納された情報を出力するように構成されている。

【 0 0 6 6 】

図 2 4 に示すように、第 1 の装置 7 2 0 と第 2 の装置 7 4 0 との間は装置外読み出し制御接続線 7 6 0 によってバス接続されている。第 1 の装置 7 2 0 の装置外読み出し制御端子 7 2 6 から第 2 の装置 7 4 0 の装置外読み出し制御端子 7 4 2 を経て外部読み出し制御装置である第 2 の装置 7 4 0 に制御信号が伝達されると、外部読み出し制御回路 7 1 0 は読み出し許可鍵情報 7 4 3 を照合し、読み出し制御信号を生成する。そしてこの制御信号は制御接続線 7 6 0 を介して第 1 の装置 7 2 0 の外部読み出し制御端子 7 2 6 に活性化信号が供給される。

ここで第 1 の装置 7 2 0 は、メモリアレイ 7 0 1、センスアンプ回路 7 0 2、内部読み出し制御回路 7 0 3、デコーダ 7 0 4、CPU 7 0 5、RAM 7 0 6、周辺回路 7 0 7、制御バス 7 0 8、外部出力回路 7 1 1 を具備している。

【 0 0 6 7 】

かかる構成によれば、通常時には使用されず、読出し機能を必要とするときのみ、この特定の機能を動作させることにより、制御機能を発揮しつつも装置の小型化をはかることができる。

【 0 0 6 8 】

(実施例 6)

検査機能を内蔵させる必要があるデバイスについては、小型化を阻む原因とな

っていたが、本発明によれば、大型化を招くことなく検査機能を奏功させることができる。

この例では図 25 に示すようなレイアウト構成をもつ、テスト回路 842 と情報設定回路 841 とを、図 26 に示すように、第 1 の装置 820 から分離して第 2 の装置 840 としたものである。この装置は第 1 の装置 820 と、この第 1 の装置 820 をテストするためのテスト回路 842 と、テスト結果に基づく第 1 の装置の情報設定回路 841 とを統制した第 2 の装置 840 に分離形成したことを特徴とするものである。前記所定の機能は、前記第 1 の装置内でメモリの読み出しを行う回路を含み、前記特定の機能は、前記メモリの情報が外部に出力されるのを制御する機能である。

【0069】

すなわち図 26 に要部概略図、図 27 に詳細説明図を示すように、常時使用しない特定の機能である、テスト機能および第 1 の装置の情報設定回路を、第 2 の装置 840 から第 1 の装置 820 に付与するように、機能分離すると共に両者を電氣的に接続可能に設計し、これらを信号接続線 861、862 で接続したものである。

ここで第 1 の装置のテストおよび回路情報設定制御端子 824 から第 2 の装置のテストおよび回路情報設定制御端子 844 に信号を供給し、第 2 の装置 840 を活性化し、第 2 の装置のテスト回路 842 から第 1 の装置の情報設定回路 841 の設定を行う。この情報を回路情報設定端子 845 から情報設定信号接続線 862 を経て第 1 の装置の冗長回路 809 の設定を行うものである。すなわち、第 2 の装置 840 のテスト回路 842 はテスト結果に基づいて情報設定回路 841 を制御し、回路情報設定端子 845 から情報設定信号接続線 862 を介して回路第 1 の装置の回路情報設定端子 825 に回路情報設定信号が入力される。

【0070】

ここで第 1 の装置 820 は、メモリアレイ 801、センスアンプ回路 802、読み出し系制御回路 703、読み出し系デコーダ 804、冗長デコーダ 805、冗長ワード線 806、デコーダ 807、ワード線 808、冗長回路 809、周辺回路 810 を具備している。

検査機能を内蔵させる必要があるデバイスについては、小型化を阻む原因となっていたが、本発明によれば、大型化を招くことなく検査機能を奏功させ、冗長回路の設定を実行し、検査結果に応じた回路設定を行うことが可能となる。

【0 0 7 1】

なお、前記各実施例において、前記第 1 の装置および第 2 の装置は、単一の半導体基板であっても複数の半導体基板を備えたシステムデバイスであってもよい。

【0 0 7 2】

【発明の効果】

本発明の半導体装置によれば、所定の回路機能を持つ第 1 の回路を、常時使用しない特定の機能を外部接続の第 2 の回路によって供給し得るようにしているため、通常は、常時使用しない特定の機能を具備することなく形成されているため、この半導体装置を構成する半導体チップの小型化、省電力化が可能となる。

【0 0 7 3】

また本発明のシステムデバイスによれば、半導体装置を常時使用しない特定機能については別の装置として形成し、電気的接続によってこの特定機能を奏功し得るように形成しているため、小型で取り扱いの容易なシステムデバイスを提供することができる。

【0 0 7 4】

さらにまた本発明の設計方法は、半導体基板上に集積される回路を、第 1 の回路と、前記第 1 の回路に外部接続可能なように構成され、常時使用しない特定の機能を第 1 の回路に付与するように構成され、前記特定の機能を実現できるようにした第 2 の回路とに、機能分離すると共に両者を電気的に接続可能に設計しているため、機能性を低下させることなく、第 1 の回路の小型化をはかることができる。

【図面の簡単な説明】

【図 1】

本発明の実施形態 1 のシステムデバイスを示す概念図である。

【図 2】

本発明の実施形態 2 のシステムデバイスを示す概念図である。

【図 3】

本発明の実施形態 3 のシステムデバイスを示す概念図である。

【図 4】

本発明の実施形態 4 のシステムデバイスを示す概念図である。

【図 5】

本発明の実施形態 5 のシステムデバイスを示す概念図である。

【図 6】

本発明の実施形態 6 のシステムデバイスの実装形態を示す図である。

【図 7】

本発明の実施形態 7 のシステムデバイスの実装形態を示す図である。

【図 8】

本発明の実施形態 8 のシステムデバイスの実装形態を示す図である。(a) は、第 1 および第 2 の装置を接続し、特定機能を駆動させた状態を示す。(b) は、第 1 の装置のみで使用する時の状態を示す図である。

【図 9】

本発明の実施形態 9 のシステムデバイスの実装形態を示す図である。

【図 1 0】

本発明の実施形態 1 0 のシステムデバイスの実装形態を示す図である。

【図 1 1】

本発明の実施形態 1 1 のシステムデバイスの実装形態を示す図である。

【図 1 2】

本発明の従来例の半導体装置を示すレイアウト説明図である。

【図 1 3】

本発明の実施例 1 のシステムデバイスの概念図である。

【図 1 4】

本発明の実施例 1 のシステムデバイスの詳細説明図である。

【図 1 5】

本発明の実施例 2 のシステムデバイスの詳細説明図である。

【図 1 6】

本発明の従来例の半導体装置を示すレイアウト説明図である。

【図 1 7】

本発明の実施例 3 のシステムデバイスの概念図である。

【図 1 8】

本発明の実施例 3 のシステムデバイスの詳細説明図である。

【図 1 9】

本発明の従来例の半導体装置を示すレイアウト説明図である。

【図 2 0】

本発明の実施例 4 のシステムデバイスの概念図である。

【図 2 1】

本発明の実施例 4 のシステムデバイスの詳細説明図である。

【図 2 2】

本発明の従来例の半導体装置を示すレイアウト説明図である。

【図 2 3】

本発明の実施例 5 のシステムデバイスの概念図である。

【図 2 4】

本発明の実施例 5 のシステムデバイスの詳細説明図である。

【図 2 5】

本発明の従来例の半導体装置を示すレイアウト説明図である。

【図 2 6】

本発明の実施例 6 のシステムデバイスの概念図である。

【図 2 7】

本発明の実施例 6 のシステムデバイスの詳細説明図である。

【符号の説明】

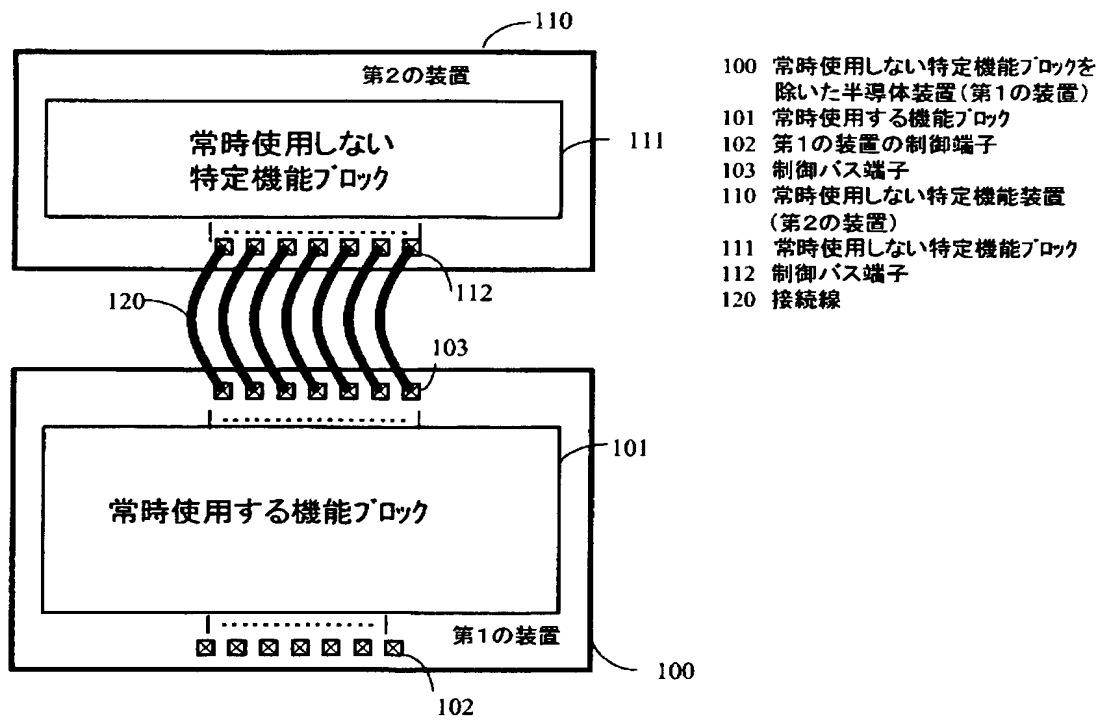
1 0 0 第 1 の装置

1 1 0 第 2 の装置

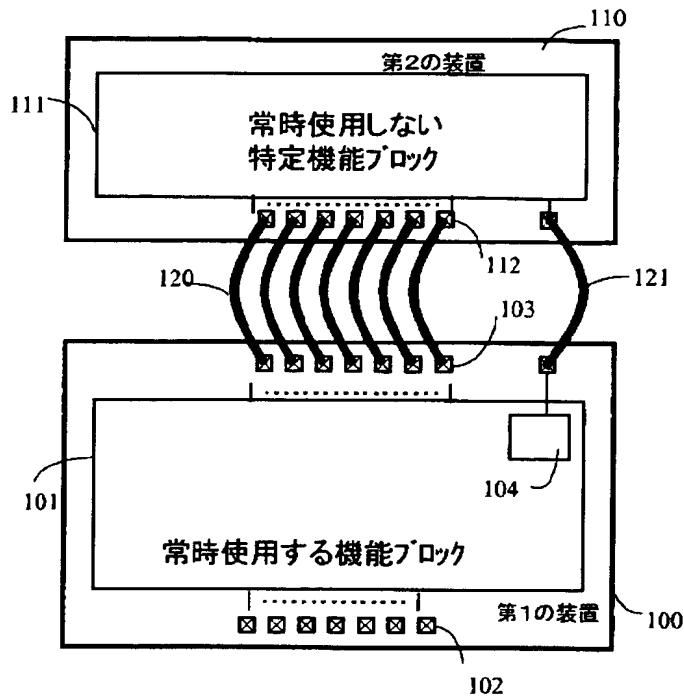
1 3 0 接続線

【書類名】 図面

【図 1】

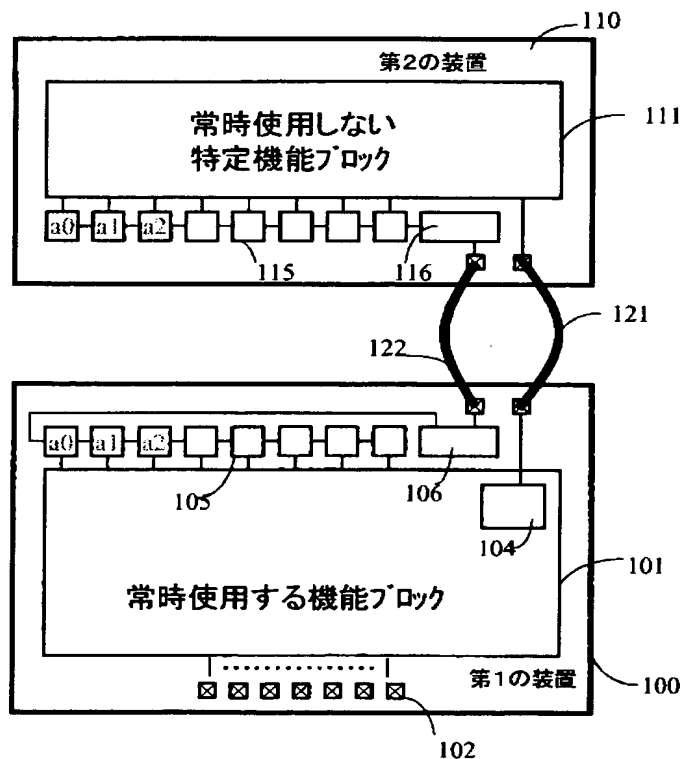


【図 2】



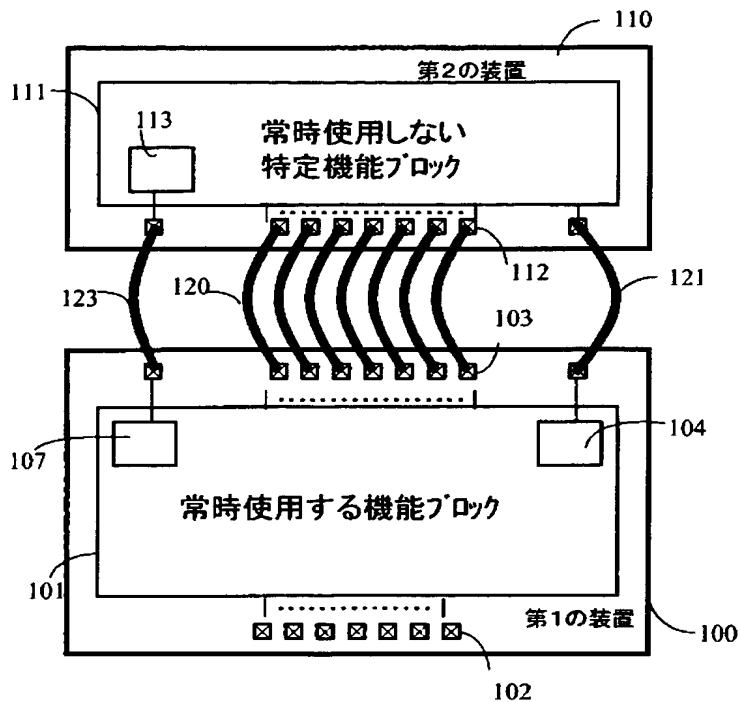
- 100 常時使用しない特定機能ブロックを除いた半導体装置(第1の装置)
- 101 常時使用する機能ブロック
- 102 第1の装置の制御端子
- 103 制御バス端子
- 104 第2装置の制御開始信号発生回路
- 110 常時使用しない特定機能装置(第2の装置)
- 111 常時使用しない特定機能ブロック
- 112 制御バス端子
- 120 接続線
- 121 第2装置の制御開始信号線

【図 3】



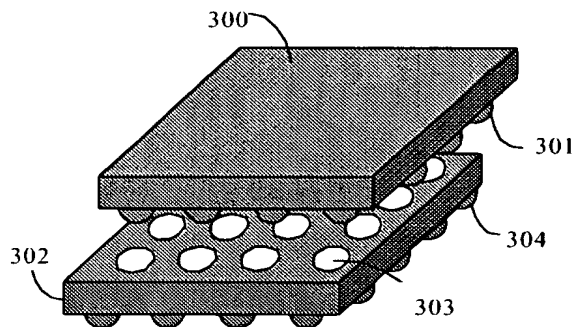
- 100 常時使用しない特定機能ブロックを除いた半導体装置(第1の装置)
- 101 常時使用する機能ブロック
- 102 第1の装置の制御端子
- 104 第2装置の制御開始信号発生回路
- 105 第1装置の制御信号レジスタ群
- 106 第1装置のシリアルI/F
- 110 常時使用しない特定機能装置(第2の装置)
- 111 常時使用しない特定機能ブロック
- 115 第2装置の制御信号レジスタ群
- 116 第2装置のシリアルI/F
- 121 第2装置の制御開始信号線
- 122 シリアル制御信号線

【図 4】



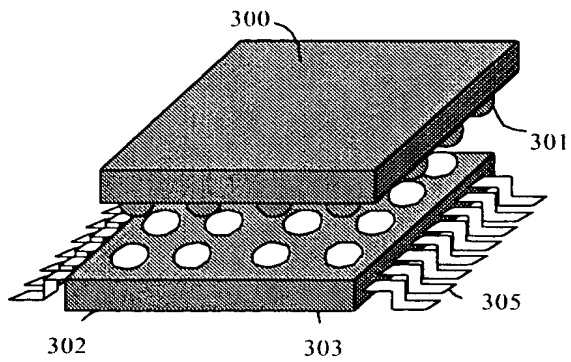
- 100 常時使用しない特定機能ブロックを除いた半導体装置(第1の装置)
- 101 常時使用する機能ブロック
- 102 第1の装置の制御端子
- 103 制御バス端子
- 104 第2装置の制御開始信号発生回路
- 107 第2装置検知回路
- 110 常時使用しない特定機能装置(第2の装置)
- 111 常時使用しない特定機能ブロック
- 112 制御バス端子
- 113 第2装置識別情報
- 120 接続線
- 121 第2装置の制御開始信号線
- 123 第2装置識別信号線

【図 5】

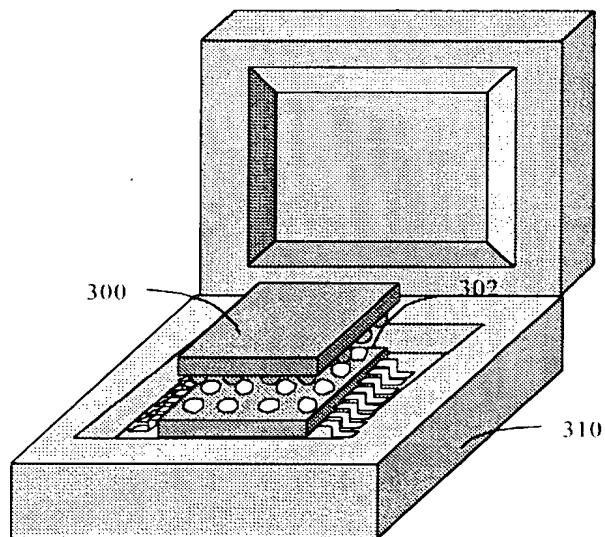


- 300 第2の装置を内蔵したパッケージ
- 301 第2の装置を内蔵したパッケージのBall Grid Array電極(第2の装置の制御バス端子)
- 302 第1の装置を内蔵したパッケージ
- 303 第1の装置を内蔵したパッケージのパッケージ接触面(第1の装置の制御バス端子)
- 304 第1の装置を内蔵したパッケージのBall Grid Array電極(第1の装置の制御バス端子)

【図 6】

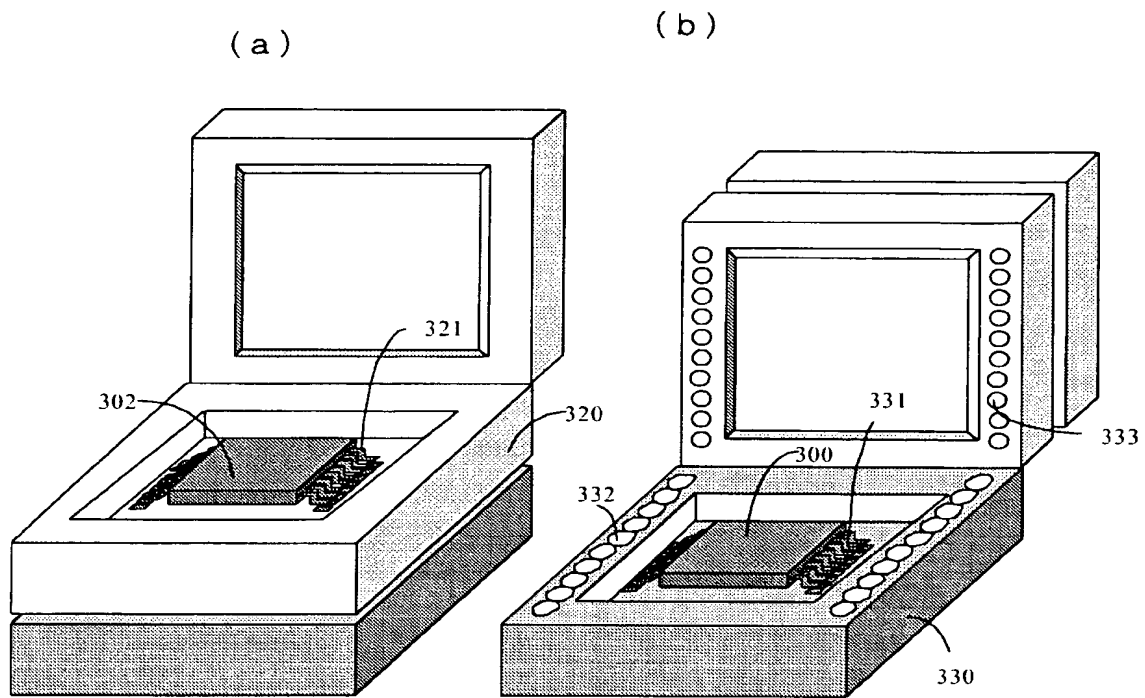


【図 7】



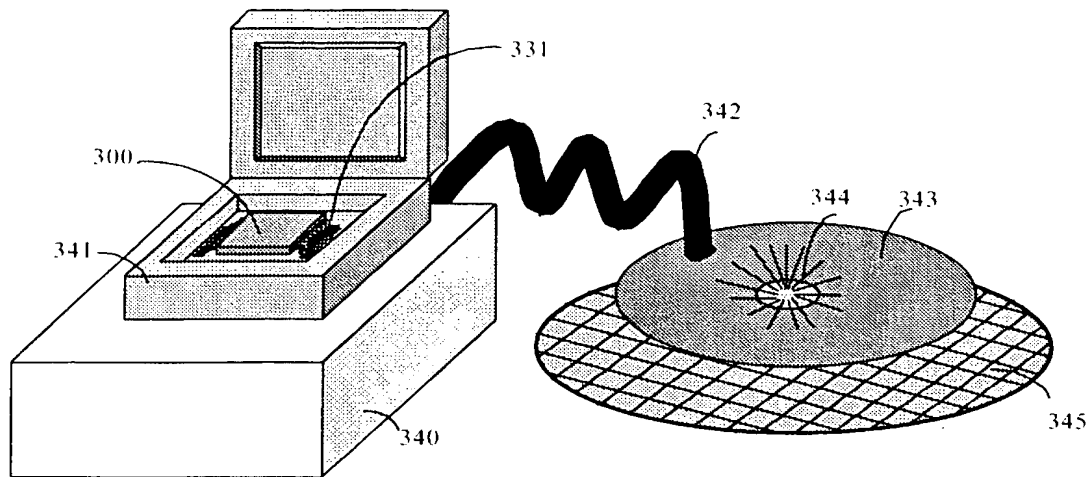
- 300 第2の装置を内蔵したパッケージ
- 302 第1の装置を内蔵したパッケージ
- 310 2パッケージの接続ソケット

【図 8】



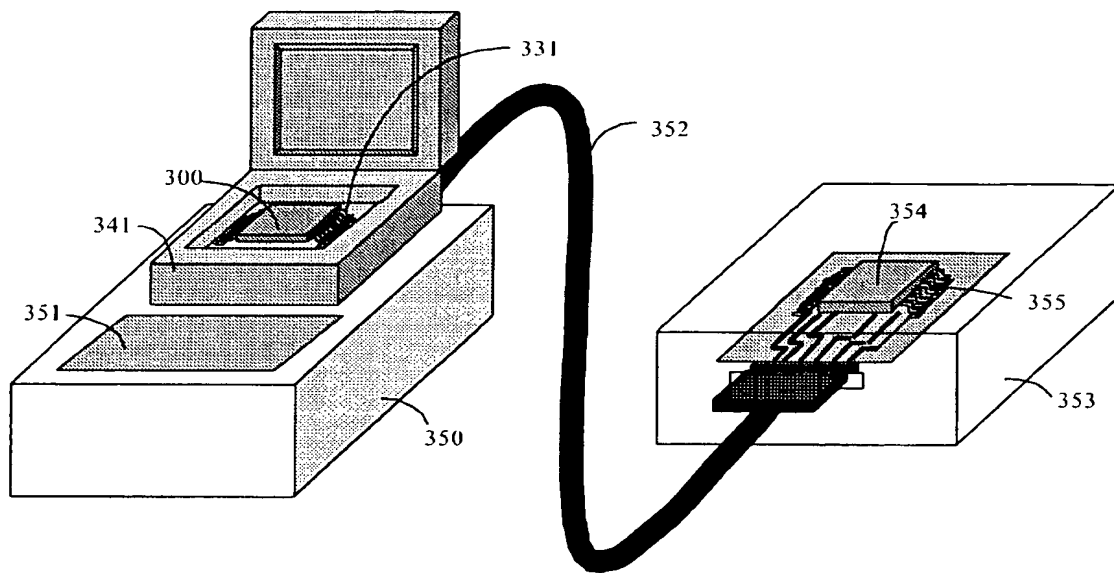
- 300 第2の装置を内蔵したパッケージ
- 302 第1の装置を内蔵したパッケージ
- 320 2段型接続ソケットの第1のパッケージ挿入部
- 321 第1の装置を内蔵したパッケージの電極(第1の装置の制御バス端子と制御端子)
- 330 2段型接続ソケットの第2のパッケージ挿入部
- 331 第2の装置を内蔵したパッケージの電極(第2の装置の制御バス端子)
- 332 第2のパッケージからの接続信号電極(第2の装置の制御バス端子)
- 333 第1のパッケージからの接続信号電極(第1の装置の制御バス端子)

【図 9】



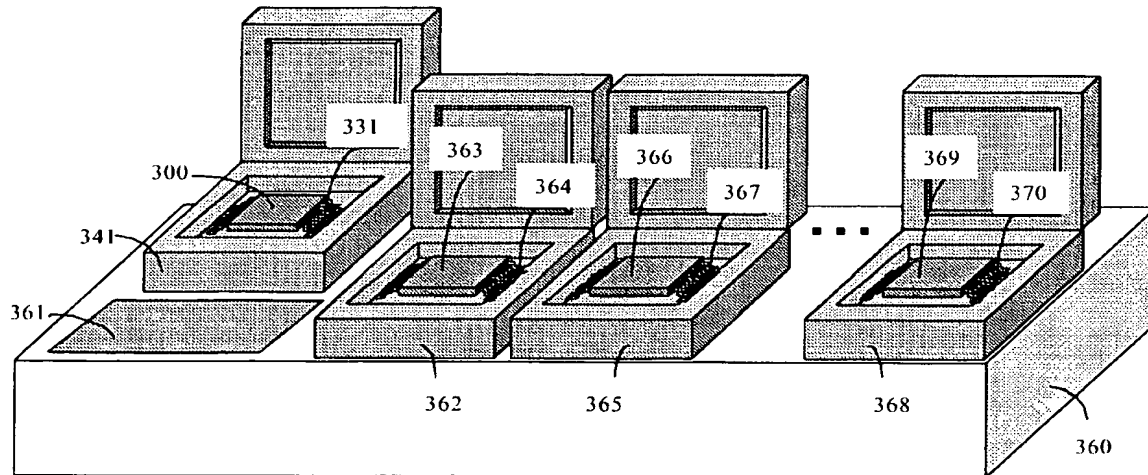
- 300 第2の装置を内蔵したパッケージ
- 331 第2の装置を内蔵したパッケージの電極(第2の装置の制御バス端子)
- 340 第1の装置への機能設定装置(ex:汎用検査装置)
- 341 第2のパッケージを挿入するソケット
- 342 接続線(第1の装置との制御バス端子信号と第2の装置からの制御端子信号)
- 343 ブローブカード
- 344 ブローブ電極(第1の装置との制御バス端子と第2の装置からの制御端子)
- 345 第1の装置を形成したウエハー

【図10】



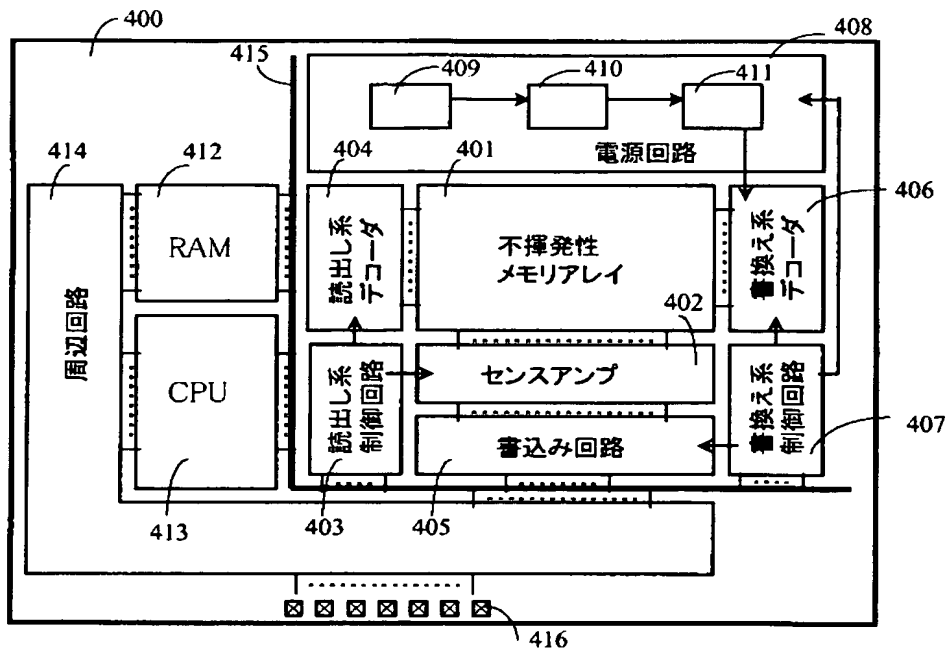
- 300 第2の装置を内蔵したパッケージ
- 331 第2の装置を内蔵したパッケージの電極(第2の装置の制御バス端子)
- 341 第2のパッケージを挿入するソケット
- 350 第1の装置への機能設定装置(ex:汎用書換え装置)
- 351 機能設定装置の操作面
- 352 接続線(第1の装置との制御バス端子信号と第2の装置からの制御端子信号)
- 353 第1の装置を内蔵した装置(ex:携帯電話)
- 354 第1の装置を内蔵したパッケージ
- 355 第1の装置を内蔵したパッケージの電極(第1の装置との制御バス端子と第2の装置からの制御端子)

【図 11】

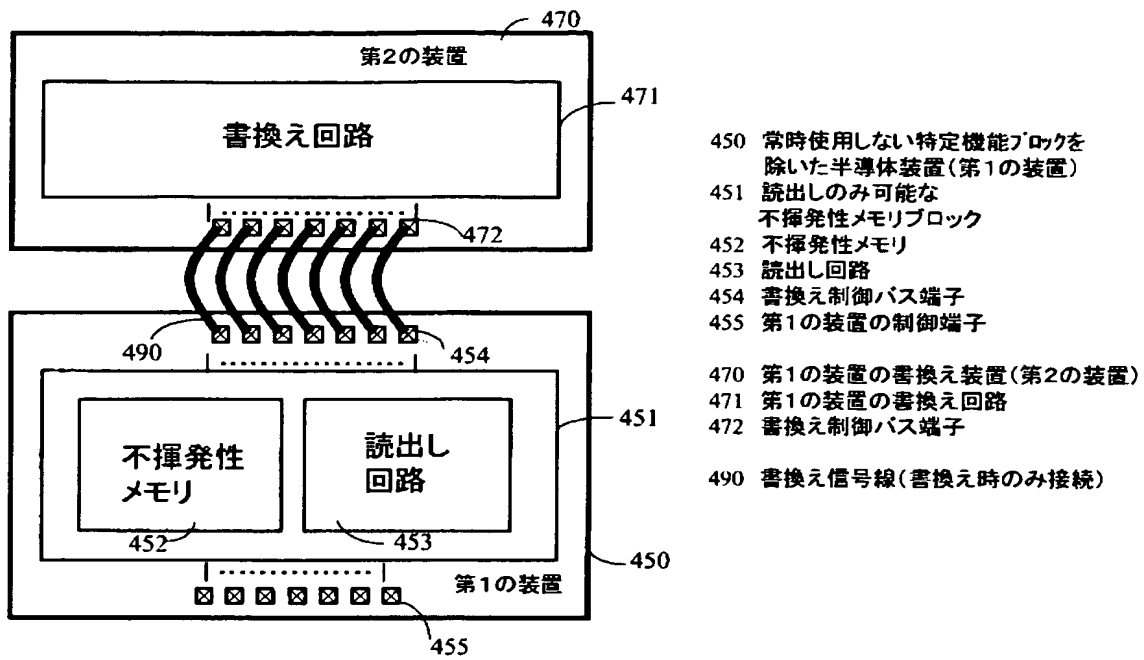


- 300 第2の装置を内蔵したパッケージ
- 331 第2の装置を内蔵したパッケージの電極(第2の装置の制御バス端子)
- 341 第2のパッケージを挿入するソケット
- 360 第1の装置への機能設定装置(ex:汎用書換え装置)
- 361 機能設定装置の操作面
- 362 1個目の第1のパッケージを挿入するソケット
- 363 1個目の第1の装置を内蔵したパッケージ
- 364 1個目の第1の装置を内蔵したパッケージの電極(第1の装置の制御バス端子と制御端子)
- 365 2個目の第1のパッケージを挿入するソケット
- 366 2個目の第1の装置を内蔵したパッケージ
- 367 2個目の第1の装置を内蔵したパッケージの電極(第1の装置の制御バス端子と制御端子)
- 368 n個目の第1のパッケージを挿入するソケット
- 369 n個目の第1の装置を内蔵したパッケージ
- 370 n個目の第1の装置を内蔵したパッケージの電極(第1の装置の制御バス端子と制御端子)

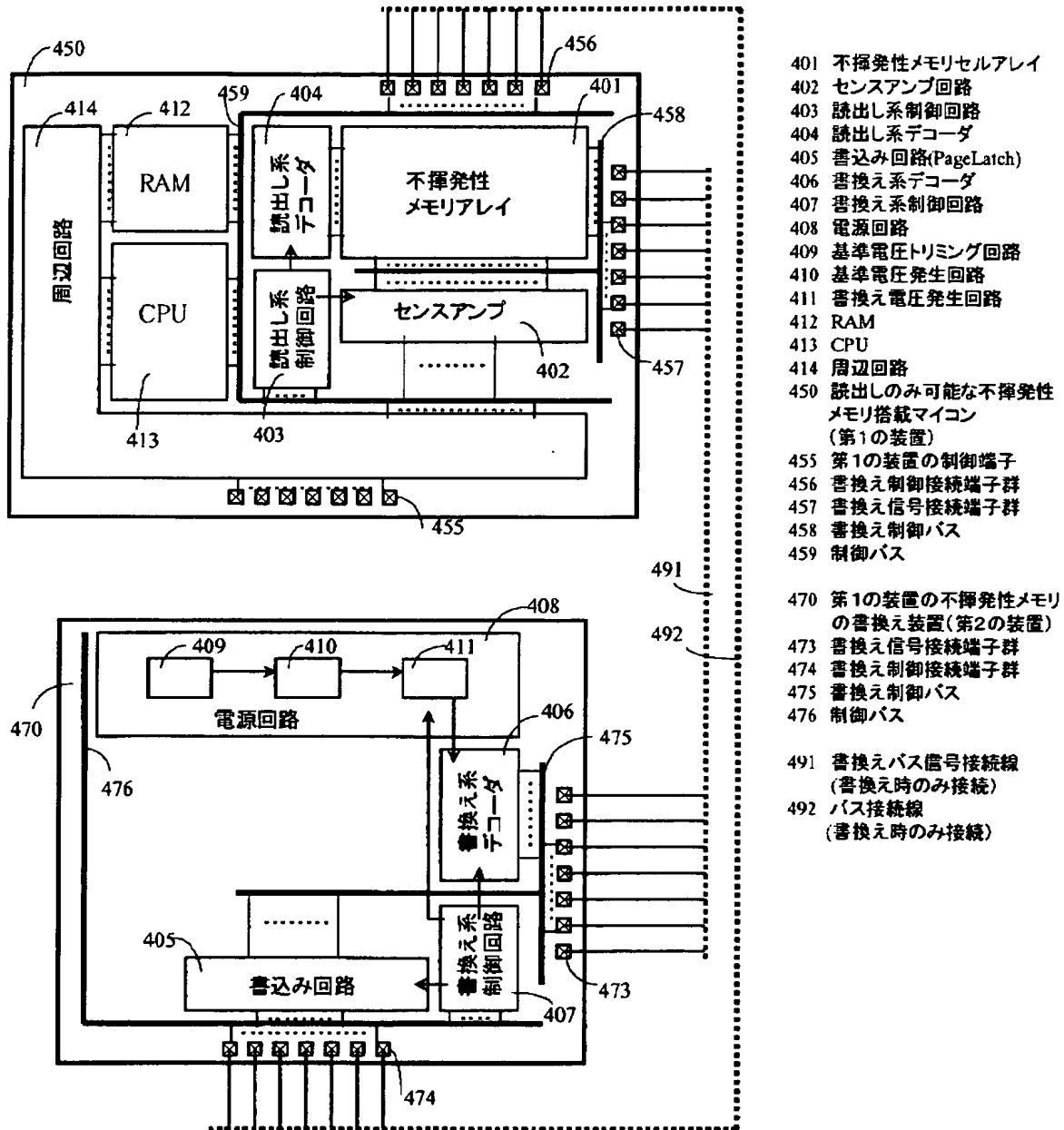
【図 12】



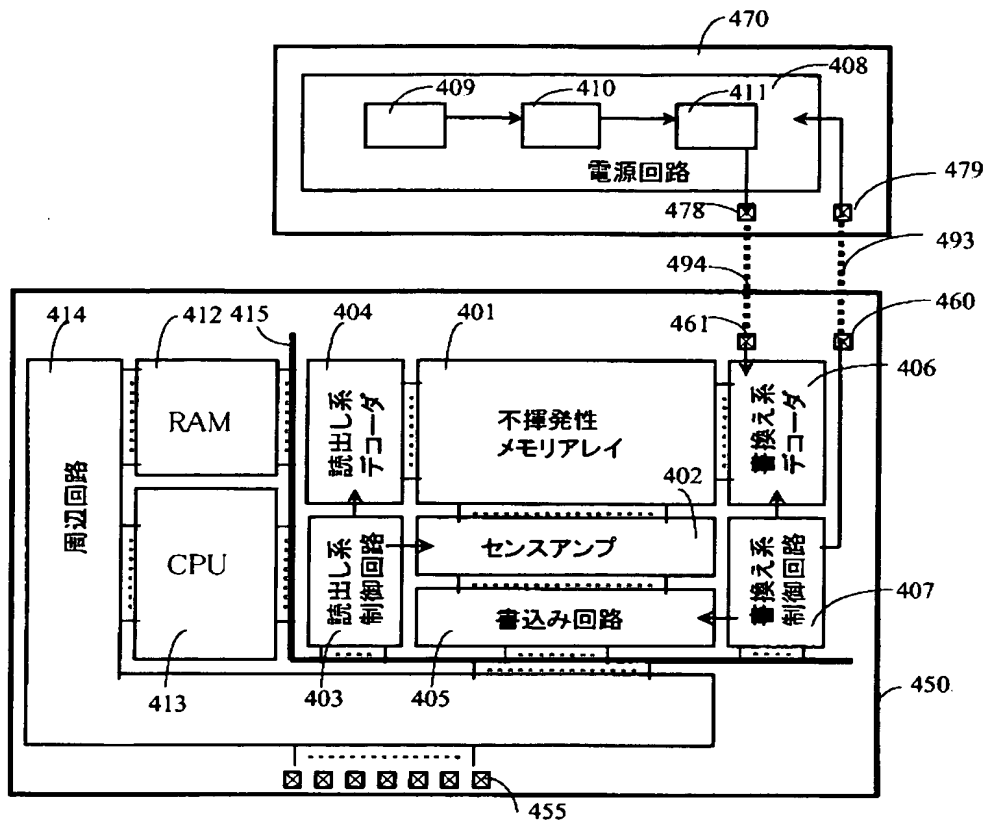
【図13】



【図 14】



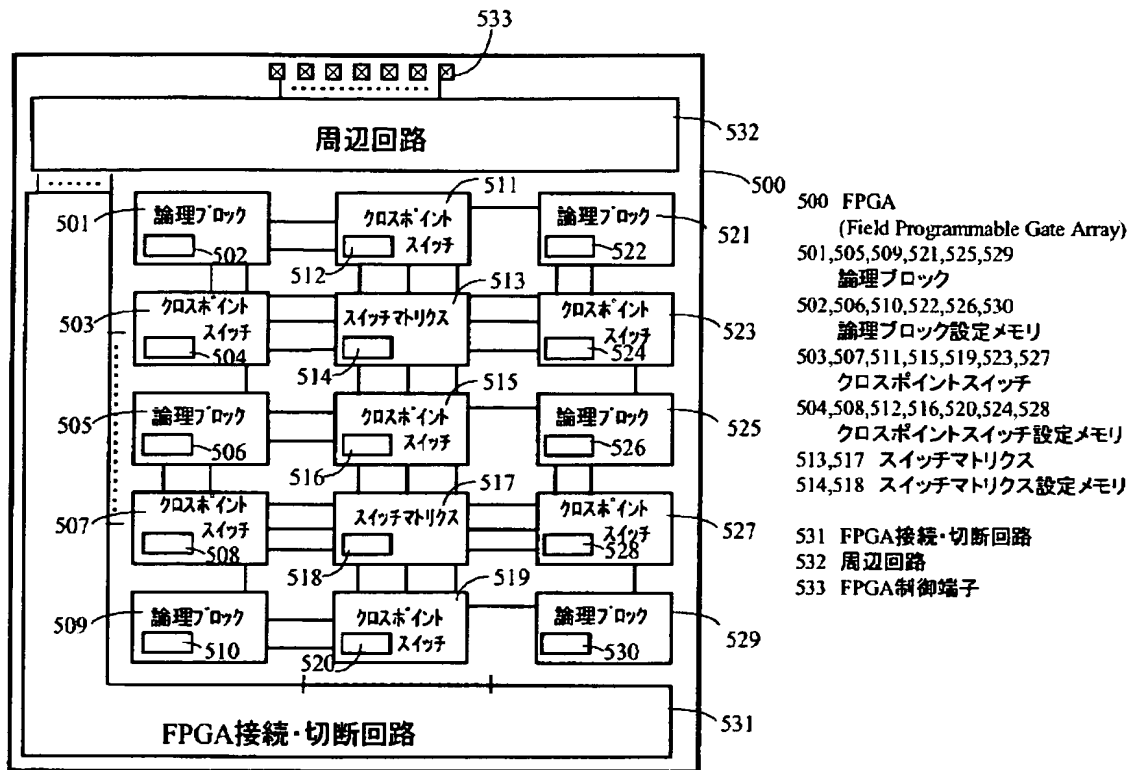
【図15】



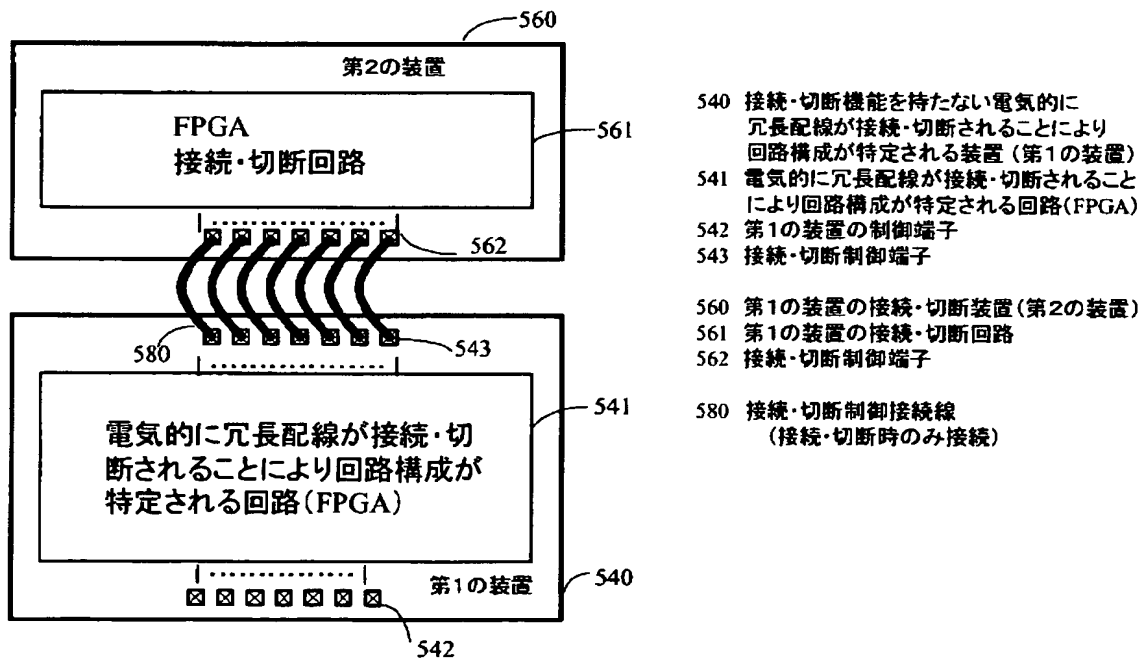
401 不揮発性メモリセルアレイ
 402 センスアンプ回路
 403 読出し系制御回路
 404 読出し系デコーダ
 405 書込み回路(PageLatch)
 406 書換え系デコーダ
 407 書換え系制御回路
 408 電源回路
 409 基準電圧トリミング回路
 410 基準電圧発生回路
 411 書換え電圧発生回路
 412 RAM
 413 CPU
 414 周辺回路
 415 制御バス

450 読出しのみ可能な不揮発性
 メモリ搭載マイコン(第1の装置)
 455 第1の装置の制御端子
 460 書換え制御端子
 461 書換え電源接続端子
 470 第1の装置の不揮発性メモリの書換え用電源装置
 (第2の装置)
 478 書換え電源接続端子
 479 書換え制御端子
 493 書換え制御接続線(書換え時のみ接続)
 494 書換え電源接続線(書換え時のみ接続)

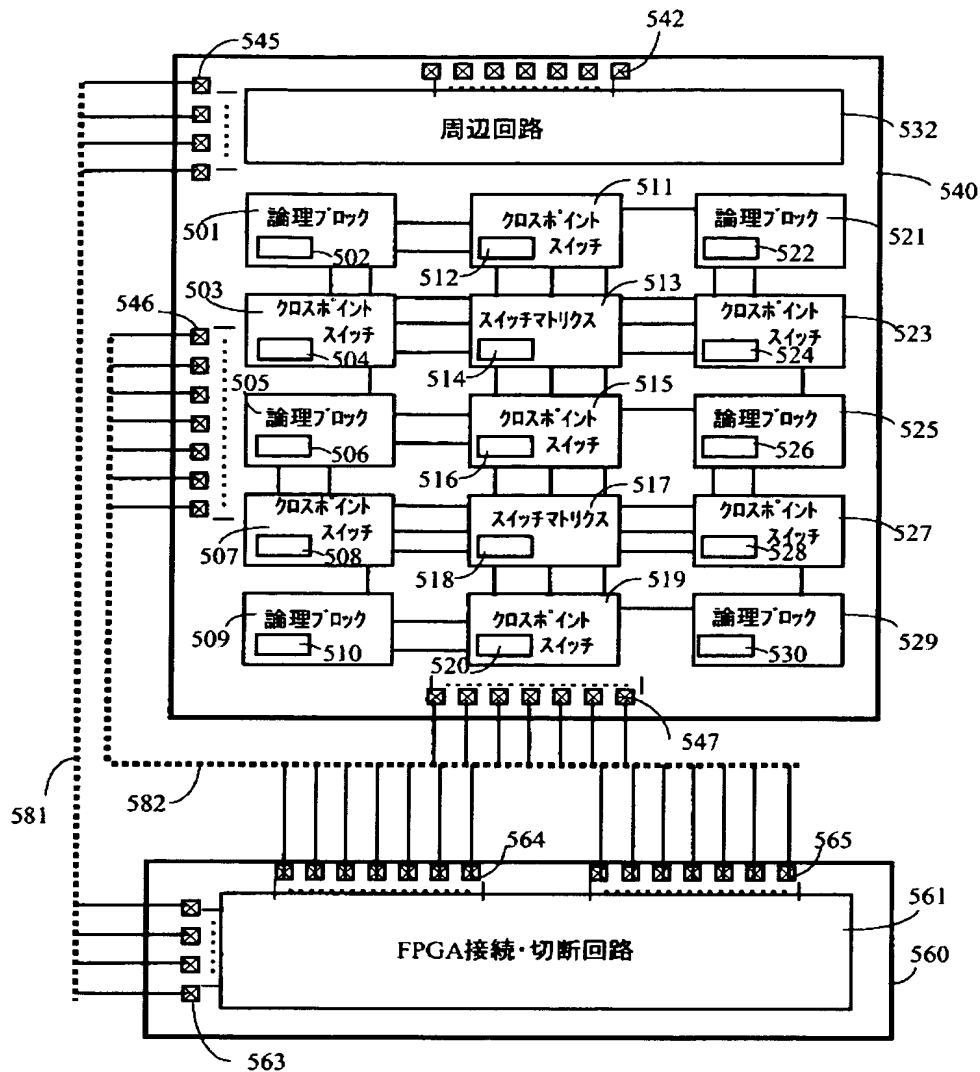
【図 16】



【図 17】



【図 18】



501,505,509,521,525,529
論理ブロック

502,506,510,522,526,530
論理ブロック設定メモリ

503,507,511,515,519,523,527
クロスポイントスイッチ

504,508,512,516,520,524,528
クロスポイントスイッチ設定メモリ

513,517 スイッチマトリクス

514,518 スイッチマトリクス設定メモリ

532 周辺回路

540 接続・切断機能を持たない電氣的に冗長配線が
接続・切断されることにより回路構成が特定される
装置(第1の装置)

542 第1の装置の制御端子

545 接続・切断制御端子

546,547 接続・切断信号端子

560 第1の装置のFPGA接続・切断装置(第2の装置)

561 第1の装置の接続・切断回路

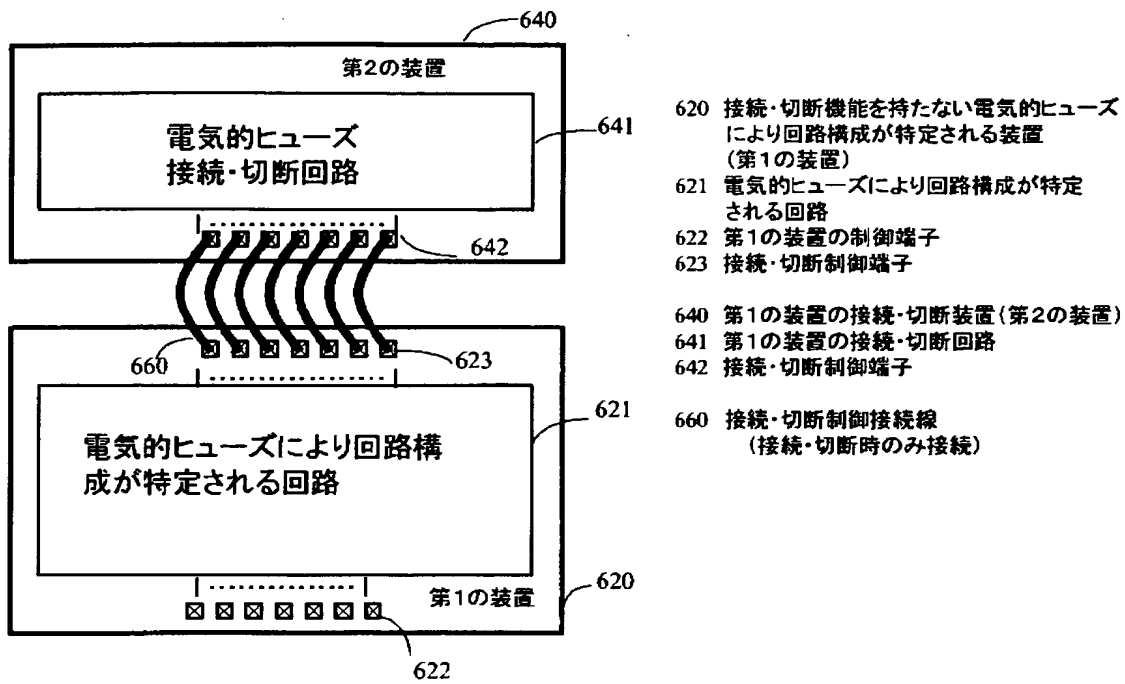
563 接続・切断制御端子

564,565 接続・切断信号端子

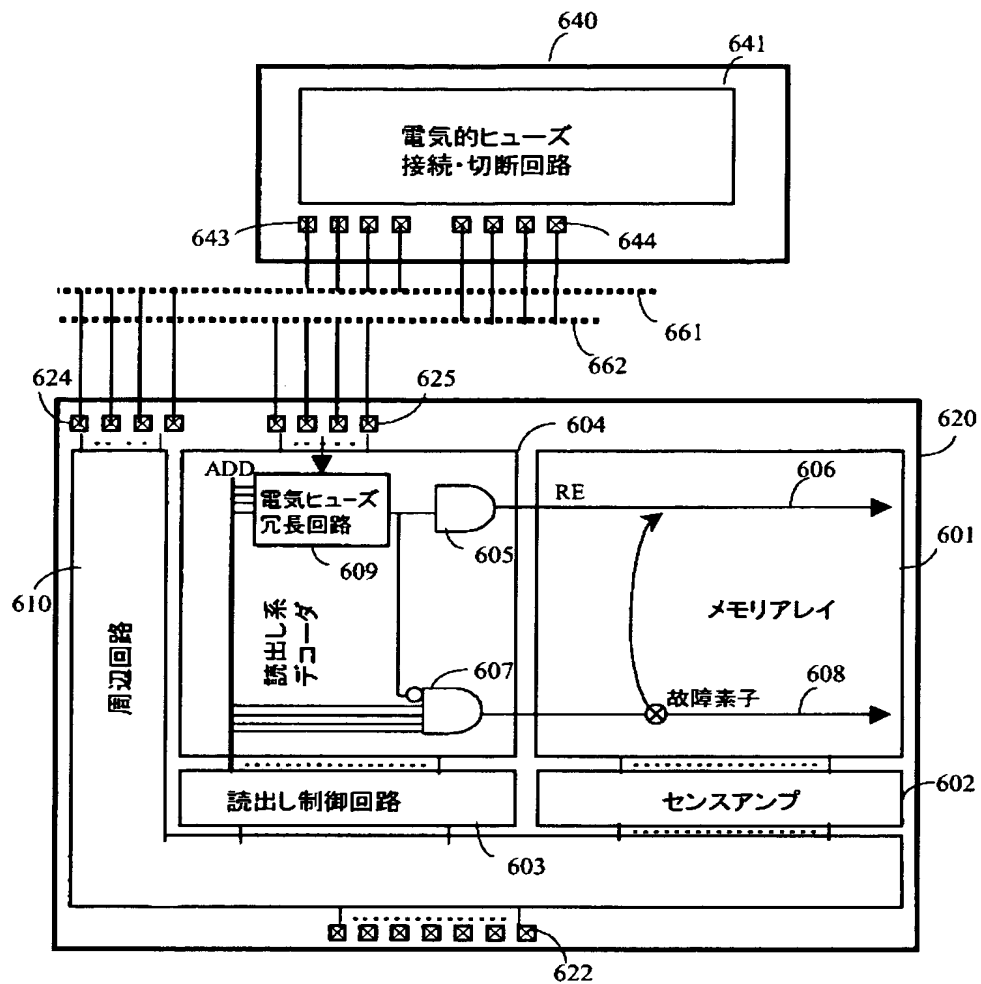
581 接続・切断制御接続線(接続・切断時のみ接続)

582 接続・切断信号接続線(接続・切断時のみ接続)

【図 20】



【図 21】

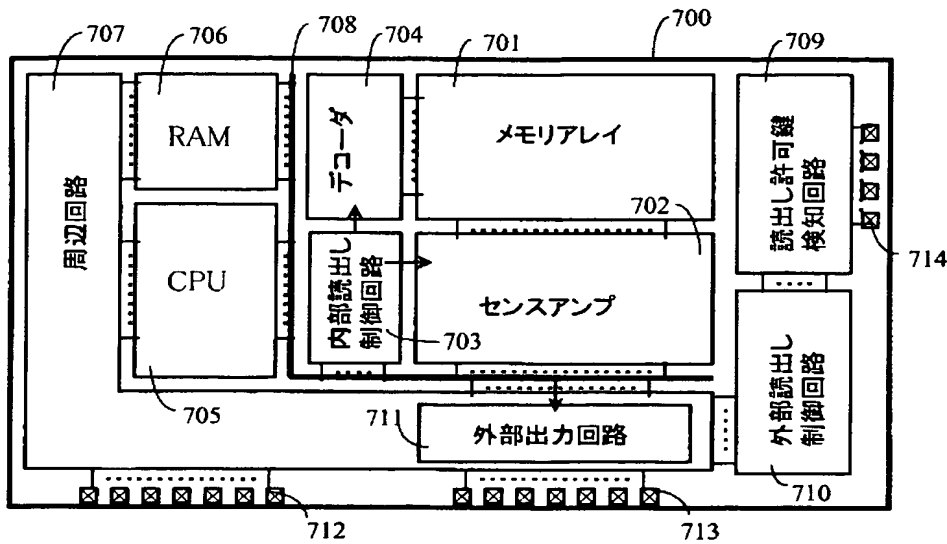


601 メモリアレイ
 602 センスアンプ回路
 603 読出し系制御回路
 604 読出し系デコーダ
 605 冗長デコーダ
 606 冗長ワード線
 607 デコーダ
 608 ワード線
 609 電気ヒューズ冗長回路
 610 周辺回路

620 接続・切断機能を持たない電気的ヒューズにより
 回路構成が特定される装置 (第1の装置)
 622 第1の装置の制御端子
 624 接続・切断制御端子
 625 接続・切断信号端子
 640 第1の装置の電気的ヒューズ接続・切断装置
 (第2の装置)
 641 第1の装置の電気的ヒューズ接続・切断回路
 643 接続・切断制御端子
 644 接続・切断信号端子

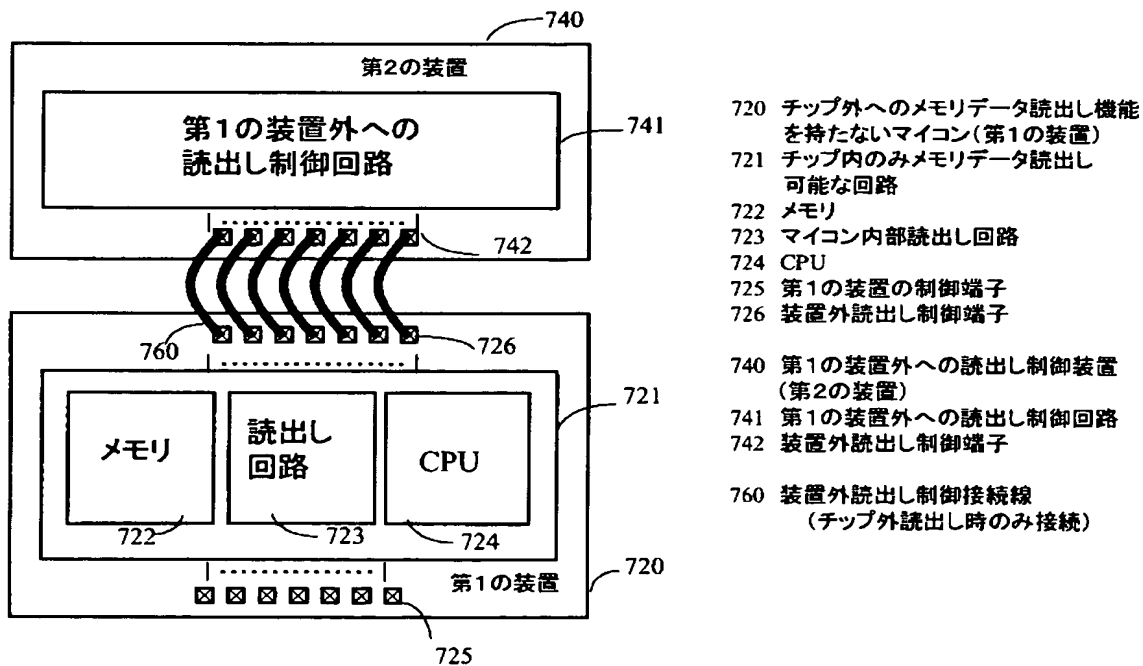
661 接続・切断制御接続線 (接続・切断時のみ接続)
 662 接続・切断信号接続線 (接続・切断時のみ接続)

【図 22】



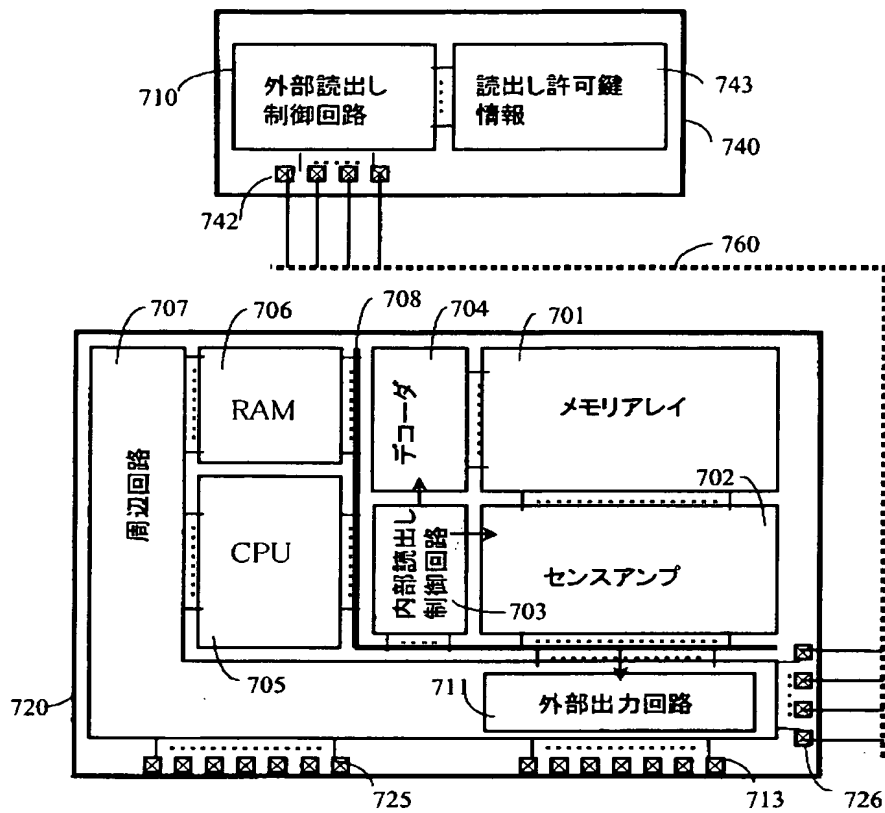
- | | |
|-------------------|----------------|
| 700 マイコン | 708 制御バス |
| 701 メモリアレイ | 709 読出し許可鍵検知回路 |
| 702 センスアンプ回路 | 710 外部読出し制御回路 |
| 703 マイコン内部読出し制御回路 | 711 マイコン外部出力回路 |
| 704 読出し系デコーダ | 712 マイコン制御端子 |
| 705 CPU | 713 メモリデータ出力端子 |
| 706 RAM | 714 読出し許可鍵入力端子 |
| 707 周辺回路 | |

【図 23】



- | |
|---------------------------------------|
| 720 チップ外へのメモリデータ読出し機能を持たないマイコン(第1の装置) |
| 721 チップ内のみメモリデータ読出し可能な回路 |
| 722 メモリ |
| 723 マイコン内部読出し回路 |
| 724 CPU |
| 725 第1の装置の制御端子 |
| 726 装置外読出し制御端子 |
| 740 第1の装置外への読出し制御装置(第2の装置) |
| 741 第1の装置外への読出し制御回路 |
| 742 装置外読出し制御端子 |
| 760 装置外読出し制御接続線(チップ外読出し時のみ接続) |

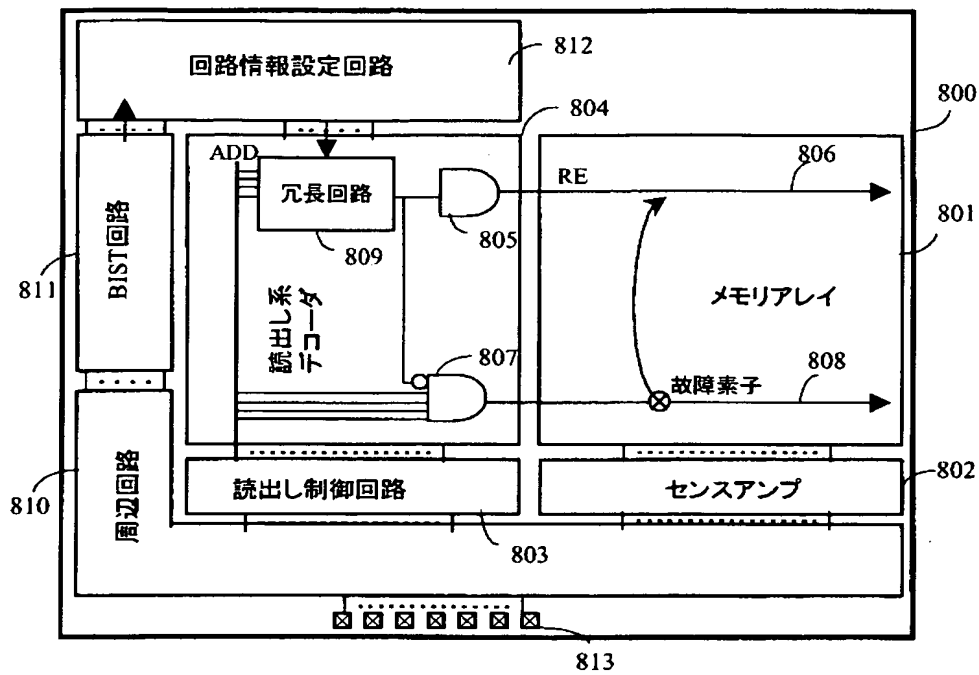
【図 24】



701 メモリアレイ
 702 センスアンプ回路
 703 マイコン内部読出し制御回路
 704 読出し系デコーダ
 705 CPU
 706 RAM
 707 周辺回路
 708 制御バス
 710 外部読出し制御回路
 711 マイコン外部出力回路
 713 メモリデータ出力端子

720 装置外へのメモリデータ読出し機能を持たない
 マイコン(第1の装置)
 725 第1の装置の制御端子
 726 装置外読出し制御端子
 740 第1の装置外への読出し制御装置
 (第2の装置)
 742 装置外読出し制御端子
 743 第1の装置外への読出し許可鍵情報
 760 装置外読出し制御接続線
 (装置外読出し時のみ接続)

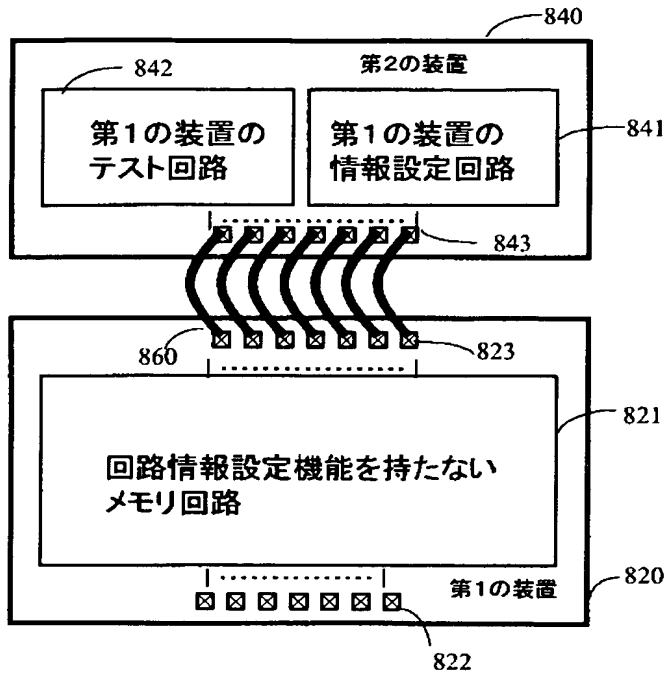
【図 25】



800 BIST(Built-in-Self-Test)結果により
回路情報設定可能な回路
801 メモリアレイ
802 センスアンプ回路
803 読出し系制御回路
804 読出し系デコーダ
805 冗長デコーダ
806 冗長ワード線

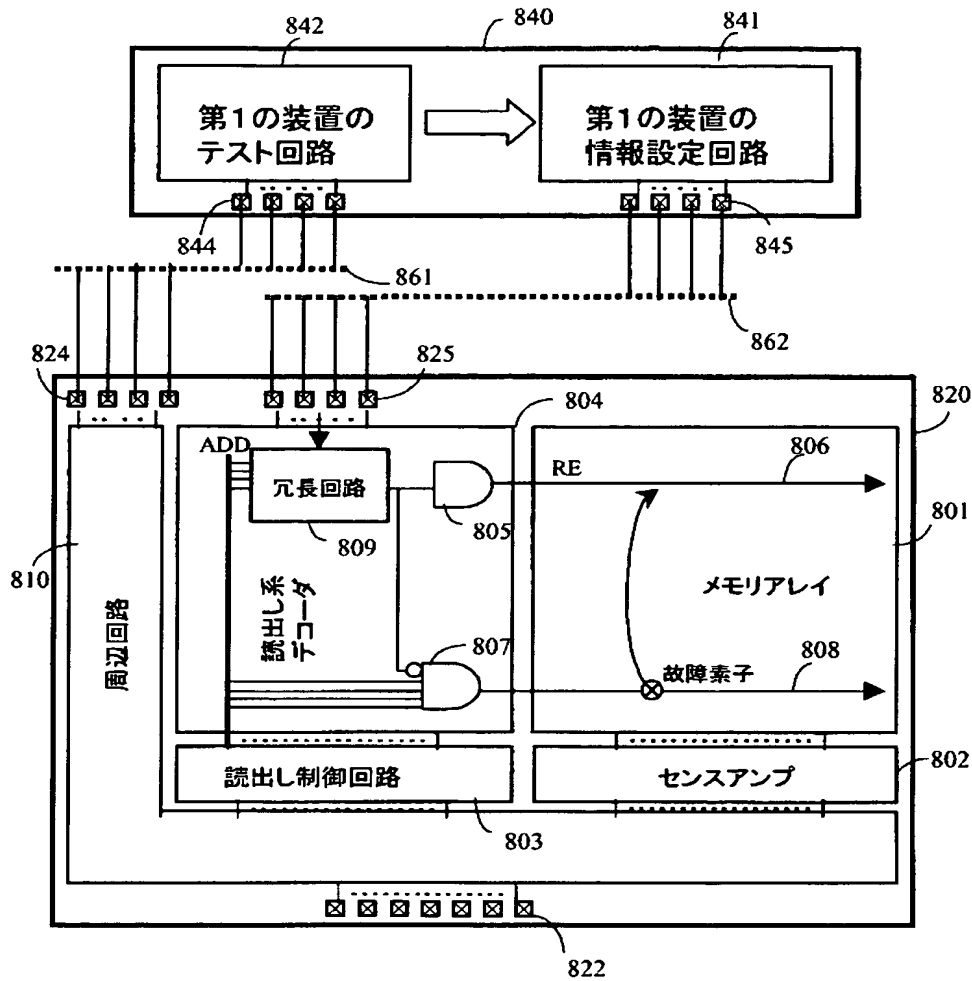
807 デコーダ
808 ワード線
809 冗長回路
810 周辺回路
811 BIST (Built-in-Self-Test)回路
812 回路情報設定回路
813 半導体装置制御端子

【図 26】



- 820 回路情報設定機能を持たない装置
(第1の装置)
- 821 電気的情報により回路構成が特定
される回路
- 822 第1の装置の制御端子
- 823 回路情報設定端子
- 840 第1の装置のテストおよび情報設定
装置(第2の装置)
- 841 第1の装置の情報設定回路
- 842 第1の装置のテスト回路
- 843 回路情報設定端子
- 860 情報設定信号接続線
(情報設定時のみ接続)

【図 27】



801 メモリアレイ
 802 センスアンプ回路
 803 読出し系制御回路
 804 読出し系デコーダ
 805 冗長デコーダ
 806 冗長ワード線
 807 デコーダ
 808 ワード線
 809 冗長回路
 810 周辺回路

820 回路情報設定機能を持たない装置 (第1の装置)
 822 第1の装置の制御端子
 824 テスト及び回路情報設定制御端子
 825 回路情報設定端子
 840 第1の装置のテストおよび情報設定装置 (第2の装置)
 841 第1の装置の情報設定回路
 842 第1の装置のテスト回路
 844 テスト及び回路情報設定制御端子
 845 回路情報設定端子

861 情報設定制御接続線 (情報設定時のみ接続)
 862 情報設定信号接続線 (情報設定時のみ接続)

【書類名】 要約書

【要約】

【課題】 半導体装置の小型化、省電力化をはかる。

【解決手段】 所定の回路機能を持つ第 1 の回路を具備し、前記第 1 の回路は、前記第 1 の回路に外部接続可能なように構成され、常時使用しない特定の機能を第 1 の回路に付与するように構成された第 2 の回路によって前記特定の機能を実現できるように構成される。

【選択図】 図 1

特願 2 0 0 3 - 0 8 9 2 7 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社